

Dijital Kontrollü Çok Fazlı Senkronize DC-DC Alçaltıcı Çevirici Tasarımı

Ekrem Erdoğan

YÜKSEK LİSANS TEZİ

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Mart, 2010

Digitally Controlled Multiphase Synchronous DC-DC Buck Converter Design

Ekrem Erdoğan

MASTER OF SCIENCE THESIS

Department of Electrical and Electronics Engineering

March, 2010

Dijital Kontrollü Çok Fazlı Senkronize DC-DC Alçaltıcı Çevirici Tasarımı

Ekrem Erdoğan

Eskişehir Osmangazi Üniversitesi
Fen Bilimleri Enstitüsü
Lisansüstü Yönetmeliği Uyarınca
Elektrik-Elektronik Mühendisliği Anabilim Dalı
Elektronik Bilim Dalında
YÜKSEK LİSANS TEZİ
Olarak Hazırlanmıştır

Danışman: Yrd. Doç. Dr. Bünyamin TAMYÜREK

Mart, 2010

ONAY

Elektrik-Elektronik Mühendisliği Anabilim Dalı Yüksek Lisans öğrencisi Ekrem Erdoğan'ın YÜKSEK LİSANS tezi olarak hazırladığı “Dijital Kontrollü Çok Fazlı Senkronize DC-DC Alçaltıcı Çevirici Tasarımı” başlıklı bu çalışma, jürimizce lisansüstü yönetmeliğin ilgili maddeleri uyarınca değerlendirilerek kabul edilmiştir.

Danışman : Yrd. Doc. Dr. Bünyamin TAMYUREK

İkinci Danışman : -

Yüksek Lisans Tez Savunma Jürisi:

Üye : Yrd. Doc. Dr. Bünyamin TAMYUREK

Üye : Prof. Dr. Abdurrahman KARAMANCIOĞLU

Üye : Prof. Dr. Hasan Hüseyin ERKAYA

Üye : Yrd. Doç. Dr. N. Serdar TUNABOYLU

Üye : Yrd. Doç. Dr. Abdurrahman ÜNSAL

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun tarih ve sayılı kararıyla onaylanmıştır.

Prof. Dr. Nimetullah BURNAK

Enstitü Müdürü

ÖZET

Günümüzde askeri alanlarda kullanılan mikro elektronik teknolojisindeki ilerlemeler mevcut güç kaynaklarının tasarımlarının yenilenmesini gerekli kılmıştır. Özellikle düşük çıkış voltajı ve yüksek akım kapasitesine sahip güç birimlerine olan gereksinimde büyük artış olmuştur. Bu süreçte yükteki ani akım değişim taleplerine hızlı cevap verebilen, yüksek enerji verimliliğine sahip, küçük boyut ve hacimli, esnek kontrol yapısı ile haberleşmeye uyumlu sistemlerin tasarımı öncelik ve önem kazanmıştır. Bu çalışmada bahsedilen talepleri karşılamak üzere Texas Instruments (TI) firması tarafından üretilen UCD9112 geliştirme kartı kullanılarak dijital kontrol yaklaşımı ile yüksek frekanslı iki fazlı senkronize DC-DC alçaltıcı çevirici mimarileri incelenmiştir. Bu amaçla, öncelikle, istenen özelliklere sahip bir kontrolün gerçekleştirilmesi amacıyla alçaltıcı çevirici güç katına ait küçük-sinyalli işaretler için modeller oluşturularak, sistemin açık çevrim transfer fonksiyonu elde edilmiştir. Daha sonra, elde edilen transfer fonksiyonuna göre analog kontrol tasarımı yaklaşımı ile istenilen çıkışı sağlayacak kompanzasyon parametreleri belirlenmiştir. Belirlenen bu analog kontrol kompanzasyon parametreleri kullanılarak, dijital kontrol için gerekli olan kompanzasyon katsayıları hesaplanmış ve UCD9112 dijital PWM kontrolörü programlanmıştır. Sonuç olarak, 12 V girişli 1.8 V ve 40 A çıkış kapasitesine sahip bir tasarım gerçekleştirilmiş ve test edilmiştir. Test sonuçları ile ileri elektronik sistemlerin yer aldığı askeri uygulamalardaki güç ihtiyaçlarını karşılamada dijital tabanlı yüksek frekanslı çok fazlı senkronize çeviricilerin avantajları ortaya konmuştur.

Anahtar Kelimeler: Alçaltıcı DC-DC çevirici, dijital kontrol, çok fazlı çeviriciler, senkronize çeviriciler

SUMMARY

The advances in microelectronics used for military applications have resulted in a need to redesign and improve the quality of the power supplies used in various applications. Especially, demand for power supply modules with low output voltage and high current capabilities has increased considerably. Moreover, design of systems having fast response for load current variations, flexible control architecture enabling communication, high power conversion efficiency and smaller in size have achieved importance and precedence. In this project, a high frequency two phase synchronous DC-DC buck converter topology, which achieves these demands, has been studied and evaluated. The digital control implementation and evaluations were done using Texas Instruments product UCD9112 evaluation module. To design the control system, the open-loop transfer function of the power stage is obtained using the small signal models of the buck converter. Then, the compensation parameters, which provide the desired regulation requirements, are found using the analog control approach. Later, these parameters are used to determine the compensation coefficients required for the digital control implementation within the UCD9112 digital PWM controller. Finally, a design with 12 V input and 1.8 V output with 40 A output capability has been evaluated experimentally. The test results demonstrate the advantages of digital control in the design of high frequency multiphase synchronous DC-DC converters and show the potential of such converters in supplying the power requirements of the military loads.

Key Words: DC-DC buck converter, digital control, multiphase converters, synchronous converters

TEŐEKKÜR

Yüksek Lisans tez çalışmalarımnda, bana danışmanlık ederek, beni yönlendiren ve her türlü olanağı sağlayan danışmanım Yrd. Doc. Dr. Bünyamin TAMYUREK'e, ayrıca katkılarından dolayı tüm çalışma arkadaşlarıma ve bu dönemde bana gösterdiği sabır ve desteklerinden dolayı eşim Seçil ERDOĞAN'a sonsuz teşekkürlerimi sunarım.

İÇİNDEKİLER

Sayfa

ÖZET	v
SUMMARY	vi
TEŞEKKÜR.....	vii
ŞEKİLLER DİZİNİ.....	xi
ÇİZELGELER DİZİNİ.....	xiv
1. GİRİŞ.....	1
1.1 Tezin Amacı ve Kapsamı.....	1
1.2 DC-DC Çeviricilere Genel Bakış	2
1.3 Anahtarlamalı DC–DC Çeviriciler	4
1.4 Dijital Kontrolün Güç Elektronikğine Etkisi	5
2. ÇEVİRİCİ MİMARİSİ, ÇALIŞMA İLKELERİ VE GÜÇ DEVRESİNİN TASARIMI.....	8
2.1 Giriş	8
2.2 Alçaltıcı Çevirici Mimarisi	8
2.3 Senkronize Alçaltıcı Çevirici Mimarisi	9
2.4 Çeviricinin Çalışma İlkeleri ve Analizi	10
2.5 Sürekli ve Süreksiz Akım Çalışma Modu.....	15
2.6 Çıkış Gerilimindeki Dalgalanma	17
2.7 Çok Fazlı Çeviriciler.....	18
2.8 Akım Ölçüm Yöntemi	21
2.8.1 Endüktans seri direnç bağlanması yöntemi.....	21
2.8.2 DCR (endüktans DC eşdeğer direnci) yöntemi	22
2.8.3 R_{DS-ON} (senkronize MOSFET iletim direnci) yöntemi	23
2.9 Güç Devresinin Tasarımı	24
2.9.1 Endüktans değerinin belirlenmesi.....	25
2.9.2 Kapasitans değerinin belirlenmesi	27
2.9.3 Anahtarlama elemanlarının belirlenmesi	33

İÇİNDEKİLER (devam)

Sayfa

3. ALÇALTICI ÇEVİRİCİNİN MODELLENMESİ VE TRANSFER FONKSİYONLARININ ELDE EDİLMESİ.....	34
3.1 Giriş	34
3.2 Alçaltıcı Çeviricinin Modellenmesi.....	34
3.2.1 Anahtarlama elemanının iletim durumu	34
3.2.2 Anahtarlama elemanının kesim durumu	35
3.2.3 Endüktans dalga şekillerinin ortalamasının alınması	36
3.2.4 Kapasitör dalga şekillerinin ortalamasının alınması.....	37
3.2.5 Giriş akımının ortalamasının alınması.....	38
3.3 Alçaltıcı Çeviricinin Küçük Sinyalli İşaretler İçin Modellenmesi	38
3.3.1 Endüktans denkleminin bozunumu.....	39
3.3.2 Kapasitör denkleminin bozunumu	40
3.3.3 Giriş akım denkleminin bozunumu	41
3.3.4 Endüktans denklemine göre modelin elde edilmesi	41
3.3.5 Kapasitör denklemine göre modelin elde edilmesi.....	42
3.3.6 Giriş akım denklemine göre modelin elde edilmesi	42
3.3.7 Alçaltıcı çeviricinin küçük sinyal eşdeğer devresi	43
3.4 Alçaltıcı Çeviricinin Transfer Fonksiyonlarının Elde Edilmesi	44
3.4.1 Çıkıştan kontrole transfer fonksiyonunun elde edilmesi	44
3.4.2 Çıkıştan girişe transfer fonksiyonunun elde edilmesi.....	48
3.4.3 Çıkış empedansı transfer fonksiyonunun elde edilmesi	50
4. KONTROL SİSTEMİ MİMARİSİ, ANALİZİ VE TASARIMI.....	52
4.1 Giriş	52
4.2 Negatif Geri Beslemenin Transfer Fonksiyonu Üzerindeki Etkisi.....	53
4.2.1 Giriş salınımların çıkışa olan etkisinin azaltılması.....	54
4.2.2 Akımdaki salınımların çıkışa olan etkisinin azaltılması	55
4.2.3 Referans girişindeki salınımların çıkışa olan etkisinin azaltılması.....	55
4.3 Dijital Kontrol Yaklaşımı	56

İÇİNDEKİLER (devam)

	<u>Sayfa</u>
4.4 UCD9112 Dijital PWM Kontrolörü.....	60
4.5 Dijital Kontrolör Tasarımı	63
4.5.1 Güç katı modeli G_{vd}	63
4.5.2 Çıkış voltajı hissedici kazancı (K_{fdbk}).....	63
4.5.3 DPWM modülatör kazancı (K_{dpwm}).....	64
4.5.4 G_{dly} gecikmesinin hesaplanması	65
4.5.5 Kompanzatorün tasarımı.....	66
4.5.6 Dijital PID kontrolör $G_c(z)$	71
5. KONTROL SİSTEMİNİN SİMÜLASYONU VE GERÇEKLENMESİ.....	76
5.1 UCD9112 Dijital PWM Kontrolörün Programlanması	76
5.2 Doğrusal olmayan Kontrol.....	82
6. DENEY SONUÇLARI	85
6.1 İki Fazlı Alçaltıcı Çeviricinin Doğrusal Kompanzasyon ile Kontrolü	85
6.2 İki Fazlı Alçaltıcı Çeviricinin Doğrusal Olmayan Kompanzasyon ile Kontrolü 86	86
6.3 Tek Fazlı Alçaltıcı Çeviricinin Doğrusal Kompanzasyon ile Kontrolü	88
6.4 Tek Fazlı Alçaltıcı Çeviricinin Doğrusal Olmayan Kompanzasyon ile Kontrolü 90	90
6.5 Çevirici Veriminin Ölçümü ve Değerlendirmesi.....	92
7. SONUÇ	95
8. EK AÇIKLAMALAR	97
9. KAYNAKLAR DİZİNİ	107

ŞEKİLLER DİZİNİ

<u>Sekil</u>	<u>Sayfa</u>
1.1 Bir güç çevirici sisteminin blok diyagramı.....	3
1.2 Lineer DC-DC çevirici.....	3
1.3 Çevirici güç katını içeren dijital SMPS kontrolör	7
2.1 Alçaltıcı çevirici devre şeması.....	8
2.2 Senkronize alçaltıcı çevirici devre şeması	10
2.3 Q1 anahtarı iletim konumundayken alçaltıcı çevirici eşdeğer devresi	11
2.4 Q1 anahtarı kesim konumundayken alçaltıcı çevirici eşdeğer devresi.....	11
2.5 Senkronize alçaltıcı çevirici temel dalga şekilleri	12
2.6 Alçaltıcı çevirici çevrim oranı	13
2.7 Sürekli ve süreksiz akım durumu sınır değerleri	16
2.8 İki fazlı alçaltıcı çevirici devre şeması	19
2.9 İki fazlı alçaltıcı çeviricide endüktans akımı girişimi.....	20
2.10 Direnç ile akım ölçüm yöntemi	21
2.11 Endüktans DC eşdeğer (DCR) akım ölçüm yöntemi.....	22
2.12 R_{DS-ON} akım ölçüm yöntemi.....	23
2.13 Alçaltıcı çeviricilerde endüktansa göre verimin değişimi (Dong, 2009).....	25
2.14 Çıkış akımı ve endüktans akımı değişim oranı.....	26
2.15 İdeal kapasitör empedans eğrisi ($10\mu F$).....	28
2.16 Gerçek bir kapasitörün eşdeğer devresi	28
2.17 Gerçek bir kapasitör empedans eğrisi.....	29
2.18 Paralel bağlanmış iki farklı kapasitör empedans eğrisi.	30
2.19 Paralel bağlanmış aynı değerli kapasitörlerin empedans eğrisi.....	31
3.1 Q1 anahtarlama elemanının iletim durumundaki çevirici eşdeğer devresi.....	35
3.2 Q1 anahtarlama elemanının kesim durumundaki çevirici eşdeğer devresi.....	36
3.3 Endüktans denklemine göre devre modeli.....	42
3.4 Kapasitör denklemine göre devre modeli	42
3.5 Giriş akım denklemine göre devre modeli.....	43
3.6 Alçaltıcı çevirici küçük sinyal eşdeğer devresi.....	43
3.7 Basitleştirilmiş alçaltıcı çevirici küçük sinyal eşdeğer devresi	43

ŞEKİLLER DİZİNİ (devam)

<u>Sekil</u>	<u>Sayfa</u>
3.8 $\hat{v}_{in}(s)$ kaynağı sıfıra eşitlenmiş küçük sinyal eşdeğer devresi	44
3.9 Primerden sekondere aktarım	45
3.10 Normalleştirilmiş devre şeması	46
3.11 Kontrol değişkeni $\hat{d}(s)$ 'ye bağlı kaynakları sıfıra eşitlenmiş küçük sinyal eşdeğer devresi.....	48
3.12 Primerden sekondere aktarım	49
3.13 $\hat{v}_{in}(s)$ ve $\hat{d}(s)$ 'ye bağlı kaynakları sıfıra eşitlenmiş küçük sinyal eşdeğer devresi.....	50
3.14 Primerden sekondere aktarım	51
4.1 Çeviricinin giriş ve çıkış değişkenleri.	52
4.2 Kapalı çevrim çeviricinin küçük sinyalli işaretler için blok diyagramı.....	53
4.3 Dijital kontrollü DC-DC alçaltıcı çevirici blok diyagramı	57
4.4 Dijital voltaj mod PWM kontrolör mimarisi (Patella, et al., 2003).	58
4.5 UCD9112 tabanlı dijital kontrollü DC-DC alçaltıcı çevirici devresi	61
4.6 DC-DC çevirici kontrol döngüsünün s-domenindeki blok diyagramı.....	63
4.7 UCD9112 dijital kontrol döngüsü hesaplama gecikmesi	66
4.8 Dijital kompanzasyon filtresinin gerçekleşmesi.....	67
4.9 Kompanzasyon kullanıcı arayücü.....	68
5.1 Çıkıştan kontrole açık çevrim transfer fonksiyonu $G_{vd}(s)$ bode diyagramı	77
5.2 Kompanzatorün transfer fonksiyonu $G_c(s)$ bode diyagramı	79
5.3 Kapalı çevrim sistemin bode diyagramı	80
5.4 Doğrusal kontrol ile zaman simülasyon grafiği.....	82
5.5 Doğrusal olmayan kontrol ile zaman simülasyon grafiği	84
6.1 Deney düzeneği ve ölçüm birimleri.....	85
6.2 İki fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (10-36 A değişimi).....	86
6.3 İki fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (38-10 A değişimi).....	87

ŞEKİLLER DİZİNİ (devam)

<u>Şekil</u>	<u>Sayfa</u>
6.4 İki fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (10-35 A değişimi)	87
6.5 İki fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (36-10 A değişimi)	88
6.6 Tek fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (10-32 A değişimi).....	89
6.7 Tek fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (38-10 A değişimi).....	89
6.8 Tek fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (10-35 A değişimi)	90
6.9 Tek fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (36-10 A değişimi)	91
6.10 Verimin anahtarlama frekansı ile değişimi (akım sabit, $I_o=30A$).....	92
6.11 Verimin çıkış akımı ile değişimi (anahtarlama frekansı sabit, $f_s=500 kHz$).....	93
A.1 Çıkıştan kontrole transfer fonksiyonu $G_vd(s)$ bode diyagramı	100
B.1 Kompanzator transfer fonksiyonu $G_c(s)$ bode diyagramı	103

ÇİZELGELER DİZİNİ

<u>Çizelge</u>	<u>Sayfa</u>
2.1 Güç devresi tasarım parametreleri	24
4.1 Kazanç blokları	62
5.1 Güç katı tasarım parametreleri.....	76
5.2 Doğrusal look-up tablosu katsayıları	81
5.3 Doğrusal olmayan look-up tablosu katsayıları	83
6.1 Deney sonuçlarının karşılaştırılması.....	91

BÖLÜM 1

GİRİŞ

1.1 Tezin Amacı ve Kapsamı

Günümüz askeri uygulamalarında yüksek enerji verimliliğine sahip, küçük boyut ve hacimli, gerilim regülasyonu oldukça düzgün ve dinamik cevabı iyi olan, esnek kontrol yapısı ile haberleşmeye uyumlu güç kaynaklarının kullanımı önem kazanmaktadır. Bu önem özellikle saha uygulamaları ve havacılık sektöründe, sınırlı güç kapasitesi ile yüksek teknoloji cihazların oldukça dar besleme limitlerinde sorunsuz çalışmalarını sağlamak gereksiniminden kaynaklanmaktadır. Bu nedenle bu çalışmada gelişen yarıiletken ve dijital kontrol teknolojisi ile analog kontrol hassasiyetinde çıkış sağlayabilen, yüksek verimlilikte ve esnek yapıda güç kaynakları tasarlamak amacıyla dijital kontrollü, çok fazlı, senkronize alçaltıcı bir çevirici tasarımı amaçlanmıştır.

Ayrıca, son yıllarda yeni bir platformun (hava, kara veya deniz aracı) tasarlanması yerine, mevcut olanların yeni teknoloji aviyonik sistemler ile modernizasyonu tercih edilen bir yöntemdir. Büyük modernizasyon projeleri yanında küçük modifikasyonlarda sık sık yapılan bir işlem olup, bu sırada yeni aviyonik sistemlerin ihtiyaç duyduğu yüksek hassasiyete sahip besleme voltajının karşılanması, platformun mevcut haliyle genellikle mümkün olamamaktadır. İhtiyaç duyulan voltaj hassasiyetinin sağlanmasının yanında, uygulamanın çok kısa bir sürede ve minimum iş gücü ile gerçekleştirilmesi diğer bir önemli noktadır. Dijital kontrol, herhangi bir tasarım değişikliğinin sadece yazılım ile yapılabilmesine olanak sağlamaktadır. Bunun sonucu tasarım süresi, uygulama süresi ve iş gücü açısından çok önemli avantajlar sağlamaktadır.

Diğer taraftan günümüz dünyasında boyut ve ağırlığın çok önemli olması, yapılan tasarımın yüksek frekanslı olması ihtiyacını doğurmaktadır. Yüksek frekans sayesinde bant genişliğinin büyümesine bağlı olarak sistemin ani değişimlere karşı dinamik davranışı da iyileşmektedir (Deng, 2005). Yüksek frekans ile dinamik cevap

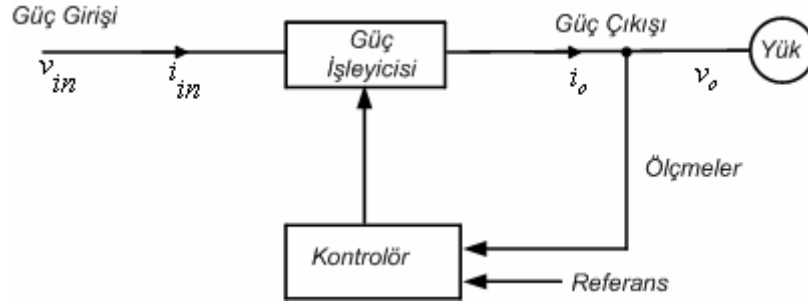
süresinin iyileştirilmesinin yanı sıra verimliliğin artırılması için çok fazlı ve senkronize çevirici mimarisi kullanılacaktır.

Bu amaçla, bu çalışma kapsamında dijital kontrol teorisi ile birlikte, çok fazlı senkronize alçaltıcı DC-DC çevirici mimarisi ve çalışma prensipleri hakkında detaylı teknik bilgi verilecektir. Çeviricinin matematiksel modeli ve bu model kullanılarak temel alçaltıcı çeviricinin dinamik karakteristiğini veren transfer fonksiyonları elde edilecektir. Sisteme uygulanacak kontrol mantığı ve kullanılacak dijital mikroişlemci üzerinde durulacaktır. Elde edilen çeviricinin güç katı transfer fonksiyonu kullanılarak sistemin açık-çevrim ve kapalı çevrim transfer fonksiyonlarının bode diyagramları elde edilerek doğrusal kontrol teknikleri kullanılarak kararlı bir sistem tasarlanacaktır. Analog kontrol parametreleri ile kararlı bir sistem oluşturulması sonrasında, bu parametreler dijitalle dönüştürülecektir. Son olarak dijital olarak kontrol tasarımı yapılan çeviricinin pratikteki başarısı değerlendirilecektir.

1.2 DC-DC Çeviricilere Genel Bakış

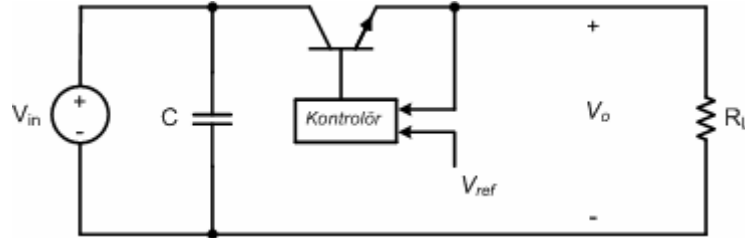
Geniş anlamıyla DC-DC çeviricilerin görevi, beslediği sistemlere en uygun şekilde ayarlanmış doğru gerilim ve akım sağlayarak, elektrik enerjisi akışını kontrol etmektir. Bir güç çevirici sisteminin blok diyagramı Şekil 1.1'de gösterilmektedir. Normal olarak, bir geribesleme kontrolörü güç işleyicisi biriminin ölçülen çıkışını istenilen (referans) değerle karşılaştırır ve ikisi arasındaki hata, kontrolör tarafından en aza indirgenir. Şekil 1.1'deki blok diyagramının kontrolörü doğrusal tümdevreler veya dijital işaret işleyicilerden oluşmaktadır. Mikroelektronik yöntemlerindeki gelişmeler bu tip kontrolörlerin gelişmesine yol açmıştır. Ayrıca yarıiletken yapım (fabrikasyon) teknolojisindeki gelişmeler, Şekil 1.1'deki güç işleyicini oluşturan yarıiletken güç elemanlarının anahtarlama (açma/kapama) hızlarının belirgin bir şekilde gelişmesini de mümkün kılmıştır.

Günümüzde doğrusal (lineer) ve anahtarlama güç kaynaklarının (switch mode power supply-SMPS) çok geniş kullanım alanları vardır. Bu kaynaklar ayarlanabilir veya sabit değerli DC besleme elde etmek için yaygın olarak kullanılmaktadır.



Şekil 1.1. Bir güç çevirici sisteminin blok diyagramı

Lineer sistemler ile gerilim dönüşümü Şekil 1.2'de gösterilmiş olup, giriş gerilimi çıkış geriliminden büyük olmak zorundadır. Devredeki yarıiletken eleman (transistör) giriş ve çıkış gerilimleri arasındaki farkı kendi üzerine almak üzere kontrol edilir. Böylece regüle edilmiş bir çıkış sağlar. Transistör ayarlanabilir bir direnç gibi aktif alanda çalışır, bu da genel olarak lineer çeviricilerin enerji veriminin düşük olmasına neden olur.



Şekil 1.2. Lineer DC-DC çevirici

Yarıiletken teknolojisindeki gelişmelere bağlı olarak anahtarlamalı güç kaynakları çok daha geniş uygulamalarda kullanılmaya ve lineer güç kaynaklarının yerini almaya başlamıştır. Bu gelişmenin nedeni anahtarlamalı güç kaynaklarının avantajları sayesinde. Anahtarlamalı güç kaynaklarının lineer güç kaynaklarına olan üstünlükleri iki temel noktada özetlenebilir:

1. Anahtarlama elemanları doyumda (iletim) ya da kesimde çalıştıklarından ideal bir anahtar gibi davranırlar. Doyum bölgesinde çalışan transistör üzerindeki gerilim düşümleri lineer bölgede çalışan transistörlere göre çok daha düşük olduğundan,

anahtarlamaalı güç kaynaklarında kayıp, lineer güç kaynaklarına göre daha düşük olmaktadır. Bu da verimin büyük ölçüde artması demektir. Lineer güç kaynaklarında gözlemlenen %40 ile %50 arasındaki verim, anahtarlamaalı güç kaynaklarında %90 üzerinde olabilmektedir. Küçük güç kaybının önemli olmasının nedenlerinden birisi de güç kaybından dolayı oluşan ısının ortadan kaldırılma zorluğudur.

2. Lineer güç kaynaklarında kullanılan düşük frekanslı (50Hz-60Hz) ve büyük boyutlu transformatör yerine yüksek frekanslı bir transformatör kullanılır. Bu yüzden çeviricinin boyut, ağırlık ve maliyeti düşer.

Bu üstünlüklerinin yanında anahtarlamaalı güç kaynaklarının bazı dezavantajları da vardır. Yüksek gerilim ve akımların yüksek frekanslarda anahtarlamaından dolayı elektromanyetik girişim (EMI), gürültü ve dalgalı çıkış gerilimleri oluşur. Fakat, tasarımda bu dezavantajların göz önünde bulundurulmasıyla bu problemler en az düzeye indirgenebilir (Mohan, et al.,1995).

1.3 Anahtarlamaalı DC–DC Çeviriciler

Anahtarlamaalı DC–DC çeviriciler, genellikle darbe genişlik modülasyonu (pulse width modulation-PWM) tekniği ile kontrol edilmektedirler. Hızlı tranzient cevap verme ve yüksek güç yoğunluğu nedeniyle, bu çeviriciler endüstride yaygın olarak kullanılmaktadır. Bu çeviriciler, çok farklı giriş koşullarında bile çıkışında geniş bir aralıkta regüleli olarak ayarlanabilen veya sabit değerli bir DC gerilim sağlayabilmektedir.

Anahtarlamaalı DC–DC çeviriciler, kontrollü bir yarı iletken güç elemanı, bir diyot ve endüktanstan oluşan üç temel elemanın farklı şekillerde bağlanmasıyla elde edilmiştir. Devrede bulunan yarı iletken güç elemanı bir anahtar gibi ya tam iletimde ya da tam kesimde çalıştırılır. Anahtarlamaalı DC–DC çeviricilerin çalışma prensibi, anahtarlamaalı endüktansın enerji aktarımına dayalıdır. Girişten çıkışa enerji ayrık paketler halinde enerji depolayan endüktans ve kapasitans elemanları kullanılarak aktarılır. Bu çeviricilerde, bir anahtarlama periyodu boyunca ya anahtarlama elemanı ya

da diyot iletimdedir. Genellikle, anahtar iletimde iken endüktansa aktarılan enerji, diyot iletimde iken çıkışa aktarılır (Mohan, et al.,1995, Bodur, 2003).

Farklı şekillerde sınıflandırılan anahtarlamalı DC–DC çeviricilerin çok kabul gören bir sınıflaması aşağıda verildiği gibidir:

İzolasyonsuz DC–DC Çeviriciler:

- Alçaltıcı (buck) çevirici
- Yükseltici (boost) çevirici
- Alçaltıcı – yükseltici (buck–boost) çevirici
- Cuk çevirici
- Sepic çevirici
- Zeta çevirici

İzolasyonlu DC–DC çeviriciler:

- İleri yönlü (forward) çevirici
- Geri dönüşlü (fly-back) çevirici
- Push–pull çevirici
- Yarım köprü (half-bridge) çevirici
- Tam köprü (full-bridge) çevirici

Aslında, izolasyonsuz olan ilk 3 çevirici temel çeviricilerdir. Diğer bütün çeviriciler, bu 3 çeviriciden birisinin karakteristiğine sahiptir. Ayrıca, genellikle izolasyonlu olarak kullanılan yarım ve tam köprü çeviriciler, izolasyonsuz olarak da gerçekleştirilebilmektedir.

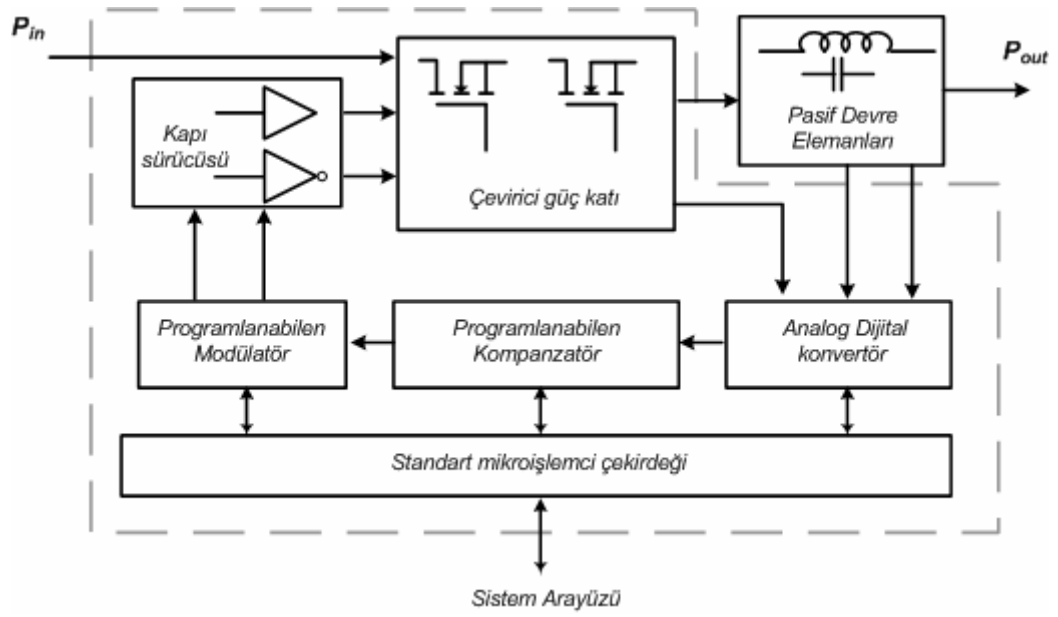
1.4 Dijital Kontrolün Güç Elektronikğine Etkisi

Son yirmi yılda, genel veya özel amaçlı mikroişlemciler, DSP ve programlanabilen lojik devre tabanlı dijital kontrolörler (FPGA) kullanılarak gerçekleştirilen dijital kontrol yöntemleri, motor sürücüler ve üç fazlı çeviriciler gibi

güç uygulamalarında çok yaygın olarak kullanılır hale gelmiştir. Bu tür uygulamalarda kontrol ve izleme işlemleri genellikle oldukça karmaşık olup, yarıiletken elemanların çalışma frekansları nispeten düşük, yani bir kaç kHz mertebesindedir. Dijital kontrolün zaten bilinen avantajlarının yanında işlemcilerin işlem gücündeki muazzam artış ve maliyetlerindeki azalma, dijital kontrol yöntemlerinin oldukça yüksek güç seviyelerinde bile kullanılmasına yol açmıştır.

Bu çalışmada, dijital kontrolün, analog kontrol yöntemlerinin hala yaygın olduğu güç elektroniğindeki uygulamaları (anahtarlama güç kaynakları) üzerinde çalışılmıştır. Enerji depolayan pasif elemanların boyut ve ağırlıklarını azaltmak ve hızlı dinamik regülasyonu elde etmek amacıyla, SMPS uygulamalarında kullanılan yarıiletken elemanları yüz KHz'lerden MHz'lere kadar oldukça yüksek anahtarlama frekanslarında çalıştırılmaktadırlar. Böylece yüksek frekanslı standart analog çözümlerdeki dinamik performansı dijital kontrol yöntemleriyle gerçekleştirebilmek için oldukça hızlı bir işlem gücü gerekmektedir.

Yarıiletken güç elemanları ve dijital entegre devre üretim tekniklerindeki gelişmelerle birlikte son zamanlarda dijital SMPS kontrol yöntemlerinde, mimarilerinde ve devre tekniklerinde meydana gelen yeniliklere dayanarak, basit ve pratik olmasının yanı sıra oldukça yüksek performanslı dijital SMPS kontrolörlerinin kullanımı artmıştır. Yüksek performanslı regülasyon ihtiyacını karşılayan ve güç sistemiyle arabirim, izleme ve programlama görevleri için standart bir mikro kontrolör içeren örnek bir dijital kontrol mimarisi Şekil 1.3'de verilmiştir (Maksimoviç et al., 2004).



Şekil 1.3. Çevirici güç katını içeren dijital SMPS kontrolör

BÖLÜM 2

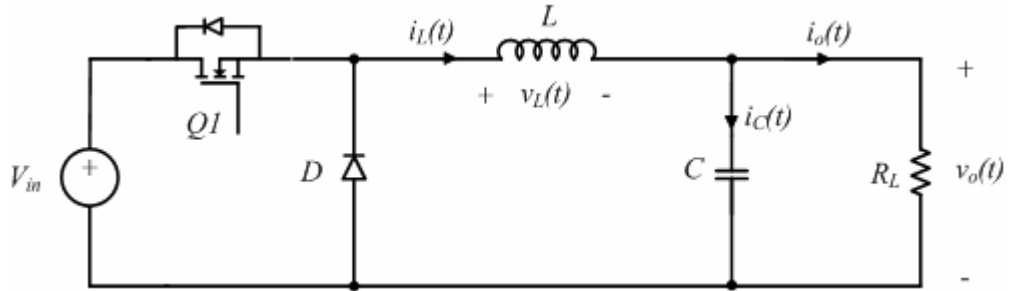
ÇEVİRİCİ MİMARİSİ, ÇALIŞMA İLKELERİ VE GÜÇ DEVRESİNİN TASARIMI

2.1 Giriş

Bu bölümde alçaltıcı çevirici devre mimarisi tanımlanmış, çalışma prensipleri anlatılmış ve istenen gereksinimlere göre bir tasarım yapılmıştır.

2.2 Alçaltıcı Çevirici Mimarisi

Alçaltıcı çevirici devre mimarisi Şekil 2.1'de gösterilmiştir. Burada; V_{in} giriş gerilimini, L endüktansı, $v_L(t)$ endüktans gerilimini, QI anahtarlama elemanını, D diyotu, C kapasitörü, R_L yük direncini ve $v_o(t)$ çıkış gerilimini ifade etmektedir. Burada L endüktansı ve C kapasitörü birlikte alçak geçiren bir filtre işlevi görür.



Şekil 2.1. Alçaltıcı çevirici devre şeması

Alçaltıcı çevirici, çıkış gerilimi olarak giriş geriliminden daha düşük seviyede gerilim elde etmek için kullanılan, izole olmayan ve giriş-çıkış gerilim polariteleri aynı olan bir anahtarlama DC-DC çeviricidir. En yaygın olarak kullanıldığı yerler, regüle edilmiş DC güç kaynakları, akü şarj sistemleri ve DC motor hız kontrol devreleridir (Mohan, et al.,1995). Bu çalışma boyunca, aksi belirtilmedikçe alçaltıcı çeviricinin ideal bileşenlerden oluştuğu varsayılmıştır.

Şekil 2.1’de, Q1 anahtarlama elemanı iletimde olduğu süre boyunca girişteki enerji çıkışa aktarılır, kesimde olduğu sürede ise endüktansa aktarılarak depolanan enerji çıkışı beslemeye devam eder. Q1 anahtarlama elemanının iletimde kalma süresi çıkışa aktarılan enerjinin miktarını belirlediği göz önüne alındığında, Q1 anahtarlama elemanının iletimde tutulduğu süre çıkış geriliminin seviyesini belirler (Agrawal, 2001). Anahtarlama elemanının iletimde tutulduğu sürenin, (t_{on}), tüm periyot süresine (T_s) oranı, D çalışma oranını verir.

$$D = \frac{t_{on}}{T_s} \quad 0 \leq D \leq 1 \quad (2.1)$$

Anahtarlama DC-DC çeviricilerde, anahtarlama frekansının artırılması, çıkış voltaj salınıminin düşürülmesine neden olur, ancak yüksek anahtarlama frekansı, anahtarlama kayıplarının artması nedeniyle verimin düşmesine neden olur. Bu açıdan anahtarlama elemanının seçimi oldukça önemlidir. Çıkış voltaj salınıminin düşürülmesinin diğer yolu çıkış kapasitans değerinin artırılmasıdır (Kelly, 2005).

2.3 Senkronize Alçaltıcı Çevirici Mimarisi

Alçaltıcı çeviricilerdeki en önemli güç kaybı diyot üzerinde oluşmaktadır. Özellikle düşük çıkış voltajı ve yüksek akım kapasitesine sahip alçaltıcı çeviricilerde diyot üzerindeki güç kaybı verimi önemli ölçüde düşürmektedir. Diyot üzerinde meydana gelen güç kaybı aşağıdaki denklem ile hesaplanabilir (Schelle and Castorena, 2006).

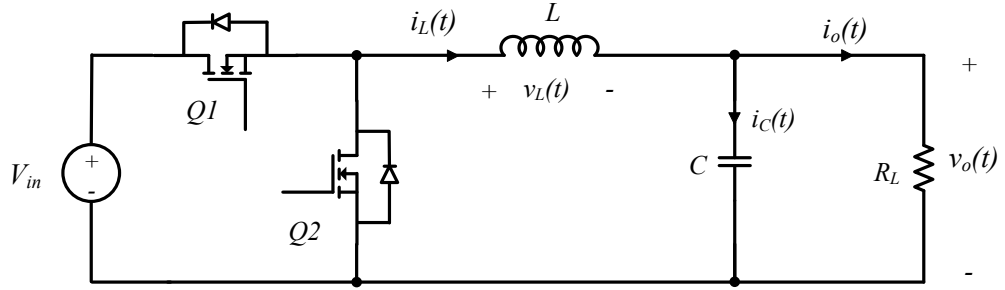
$$P_{D\text{ kaybı}} = V_D I_{o\text{ max}} (1 - D) \quad (2.2)$$

Burada, $I_{o\text{ max}}$ maksimum ortalama çıkış akımını, V_D diyot türüne göre iletim anında üzerindeki gerilim düşümünü ifade eder.

Yarıiletken teknolojisindeki gelişmeler sonucu MOSFET’lerin fiyat ve performans olarak cazip hale gelmeleri ile diyot yerine çok daha düşük kayıplı MOSFET’lerin kullanıldığı alçaltıcı çeviriciler geliştirilmiştir. Diyot yerine senkronize

bir MOSFET'in kullanıldığı Şekil 2.2'de gösterilen bu tip çeviricilere senkronize alçaltıcı çevirici denilmektedir.

Devrede kullanılan diyot yerine R_{DS-ON} iletim anı iç direnci düşük olan bir MOSFET kullanılması halinde çeviricinin verimliliği önemli ölçüde artar. Senkronize alçaltıcı çeviricinin kontrolünde dikkat edilmesi gereken nokta, ana (Q1) MOSFET ile senkronize (Q2) MOSFET'in aynı anda iletimde olmamasıdır. Aksi halde her iki MOSFET'in iletimde olduğu süre boyunca giriş kısa devre edilmiş olur.

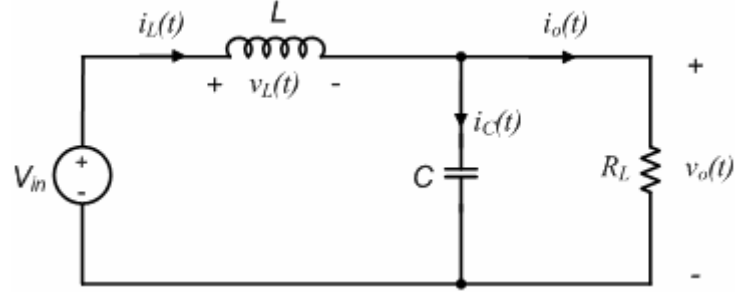


Şekil 2.2. Senkronize alçaltıcı çevirici devre şeması

2.4 Çeviricinin Çalışma İlkeleri ve Analizi

Devrenin çalışma mantığının anlaşılabilmesi için anahtarlama elemanlarının açık (iletimde), ve kapalı (kesimde) oldukları durumlarda devre elemanları üzerindeki akım ve gerilim değerleri incelenmelidir.

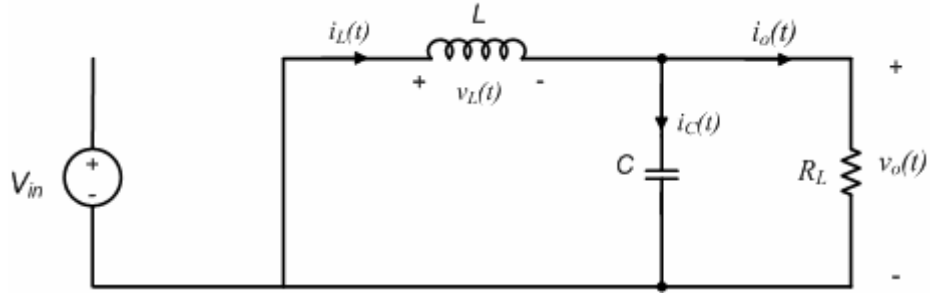
Q1 anahtarı iletimde, Q2 anahtarı kesimde iken oluşan eşdeğer devre Şekil 2.3'te verilmiştir. Bu durumda, endüktans üzerindeki gerilim, denklem (2.3)'te gösterildiği gibi giriş gerilimi ile çıkışta oluşan gerilimin farkına eşit olur. Giriş gerilimi ve çıkış geriliminin sabit olduğu farz edildiği ideal durumda, endüktansın üzerinden akan akım doğrusal olarak artarak Şekil 2.5'te gösterildiği gibi çalışma oranının sonunda bir maksimum değere ulaşır. Ayrıca, akan akımdan dolayı endüktans üzerinde enerji yüklenmesi gerçekleşir.



Şekil 2.3. Q1 anahtarı iletim konumundayken alçaltıcı çevirici eşdeğer devresi

$$v_L = v_{in} - v_o \quad 0 \leq t \leq DT_s \quad (2.3)$$

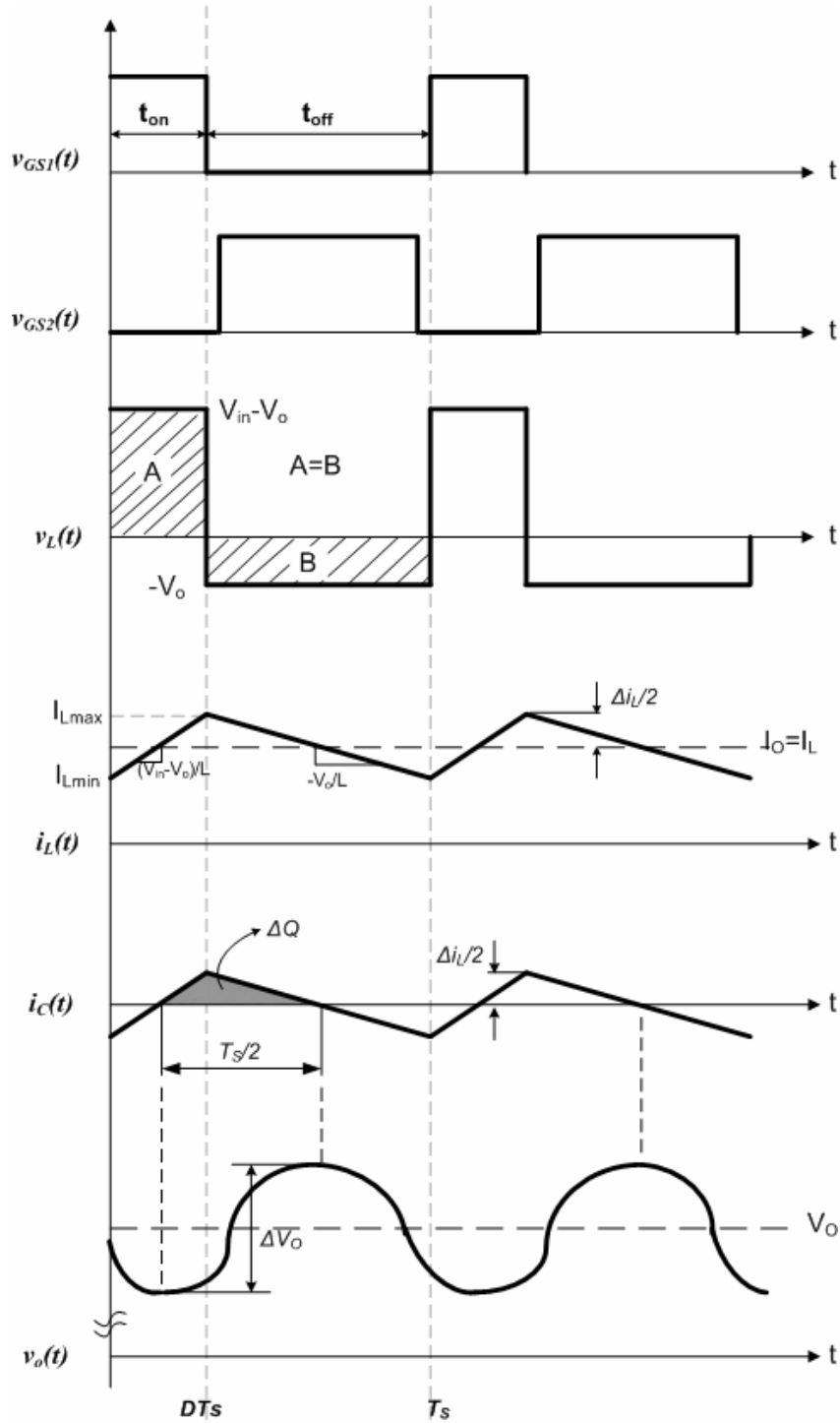
Q1 anahtarı kesimde, Q2 anahtarı iletimde iken oluşan eşdeğer devre Şekil 2.4'te verilmiştir. Bu durumda, denklem (2.4)'te gösterildiği gibi endüktans üzerindeki gerilim, çıkış geriliminin tersine eşittir. Anahtar kesime geçtiğinde birikmiş enerji nedeniyle endüktans akımı akmaya devam eder. Ancak endüktans üzerindeki gerilimin negatif polarite de olması nedeniyle akım azalarak akar.



Şekil 2.4. Q1 anahtarı kesim konumundayken alçaltıcı çevirici eşdeğer devresi

$$v_L = -v_o \quad DT_s \leq t \leq T_s \quad (2.4)$$

Anahtarlama elemanlarının açık ve kapalı olması durumlarında oluşan eşdeğer devrelere göre, devre elemanları üzerinde oluşan akım/gerilim dalga şekilleri Şekil 2.5'te verilmiştir.



Şekil 2.5. Senkronize alçaltıcı çevirici temel dalga şekilleri

Burada sırasıyla, v_{GS1} , Q1 anahtarı kapı sinyalini, v_{GS2} , Q2 anahtarı kapı sinyalini, v_L , endüktans gerilimini, i_L , kapasitör akımını, v_o , çıkış gerilimini göstermektedir.

Endüktansın gerilim-saniye dengesine (Volt-second balance) göre, denge durumunda endüktansın üzerindeki ortalama gerilim sifıra eşit olacağından Şekil 2.5'te endüktans geriliminin dalga seklinde gösterilen A ve B alanlarının eşit olması gerekir. Bu durumda

$$(V_{in} - V_o)DT_S = V_o(T_S - DT_S) \quad (2.5)$$

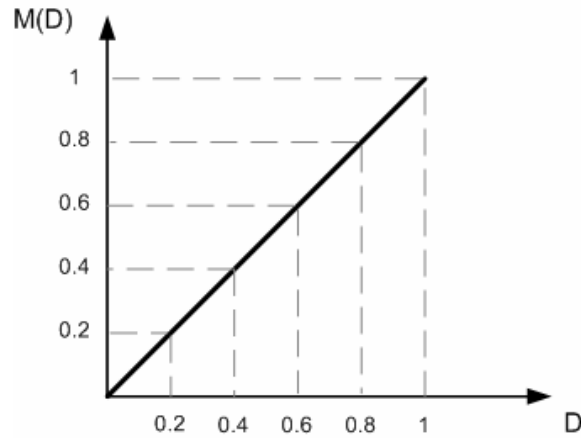
olur ve sadeleştirme sonucunda;

$$\frac{V_o}{V_{in}} = D \quad (2.6)$$

alçaltıcı çeviricinin ortalama giriş ve çıkış gerilimleri arasındaki bağıntı elde edilir. Görüldüğü üzere, çıkış gerilimi; giriş gerilimi ve D çalışma oranına bağlıdır. D çalışma oranı 0 ile 1 arasında bir değer olduğundan çıkış gerilimi giriş geriliminden her zaman küçüktür.

Denge durumunda, çıkış geriliminin giriş gerilimine oranı çevrim oranı olarak nitelendirilir ve M(D) ile ifade edilir. Alçaltıcı çeviricilerde denklem (2.6)'da görüldüğü gibi çevrim oranı görev periyoduna eşit olup, Şekil 2.6'da gösterilmiştir.

$$M(D) = D$$



Şekil 2.6. Alçaltıcı çevirici çevrim oranı

Endüktans akımındaki dalgalanma istenen bir durum değildir. Bu sebeple dalgalanma miktarının sınırlandırılması gerekmektedir ve bu dalgalanma miktarı, çevirici devresindeki endüktansın değerinde önemli rol oynar. Endüktans değeri ile endüktans akımındaki dalgalanma arasındaki bağıntı aşağıdaki şekildedir (Mohan, et al.,1995).

$$i_L(t) = \frac{1}{L} \int v_L(t).d(t) \quad (2.7)$$

Buradan endüktans akımındaki dalgalanmanın Şekil 2.5'teki endüktans gerilim (v_L) eğrisi altındaki alanın endüktans değerine oranı ile belirlendiği görülmektedir. Buna göre endüktans akımındaki dalgalanma aşağıdaki şekilde elde edilir.

$$\Delta i_L = \frac{1}{L}(V_{in} - V_o)DT_s = \frac{1}{L}V_o(1-D)T_s \quad (2.8)$$

Çıkış gerilimi üzerindeki dalgalanma da hiçbir çevirici için istenen bir durum değildir. Çıkış gerilimindeki dalgalanma, kapasitör yardımıyla sınırlandırılır. Kapasitörün kapasitans değeri ile çıkış gerilimi üzerindeki dalgalanma miktarı arasındaki bağıntı da aşağıdaki şekildedir (Mohan, et al.,1995).

$$v_C(t) = \frac{1}{C} \int i_C(t)d(t) \quad (2.9)$$

Buradan kapasitör gerilimdeki dalgalanmanın Şekil 2.5'teki kapasitans akımı (i_C) eğrisi altındaki alanın kapasitans değerine oranı ile belirlendiği görülmektedir. Kapasitans akımı Şekil 2.5'te görüldüğü gibi, endüktans akımındaki değişime eşittir. Buna göre kapasitör uçlarındaki gerilimindeki dalgalanma, dolayısı ile çıkış gerilimindeki dalgalanma aşağıdaki şekilde elde edilir.

$$\Delta v_o = \frac{1}{C} \left(\frac{1}{2} \frac{\Delta i_L}{2} \frac{T_s}{2} \right) = \frac{\Delta i_L}{8C} T_s \quad (2.10)$$

Doğrusal ve ideal devre elemanlarının kullanıldığı bir devrede, tam bir periyot boyunca endüktans geriliminin zamana göre entegrali sıfır olduğundan, tam bir periyot sonunda endüktans akımı başlangıç seviyesine gelir.

$$i_L(T_s) - i_L(0) = \frac{1}{L} \int_0^{T_s} v_L(t) dt \quad (2.11)$$

$$i_L(T_s) = i_L(0)$$

Doğrusal ve ideal devre elemanlarının kullanıldığı bir devrede, tam bir periyot boyunca kapasitör geriliminin zamana göre entegrali sıfır olduğundan, tam bir periyot sonunda kapasitör gerilimi başlangıç seviyesine gelir.

$$v_C(T_s) - v_C(0) = \frac{1}{C} \int_0^{T_s} i_C(t) dt \quad (2.12)$$

$$v_C(T_s) = v_C(0)$$

2.5 Sürekli ve Süreksiz Akım Çalışma Modu

Alçaltıcı çevirici sürekli ve süreksiz akım modları olmak üzere iki modda çalışabilir. Anahtarlama elemanın kesimde olduğu sürede endüktans akımı sıfır seviyesine kadar düşer ise süreksiz akım modu (discontinuous current mode-DCM), düşmez ise sürekli akım modu (continuous current mode-CCM) oluşur. Bu iki durumun gösterdiği frekans domeni cevapları çok farklı olduğundan, çeviricinin sürekli olarak bu modlardan sadece birinde çalışması istenir.

$$\frac{\Delta i_L}{2} < I_{omin} \quad \text{ise sürekli akım modu (CCM)}$$

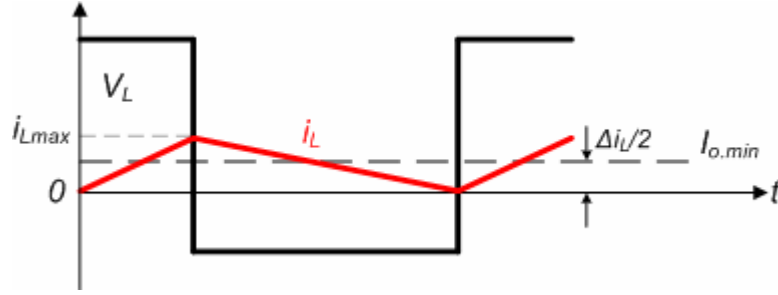
$$\frac{\Delta i_L}{2} > I_{omin} \quad \text{ise süreksiz akım modu (DCM)}$$

Şekil 2.5'te gösterildiği gibi, Δi_L endüktans akımı üzerindeki tepeden-tepeye dalgalanma miktarını ifade eder.

$$\text{endüktans akımı yükselirken,} \quad \Delta i_L = \frac{V_{in} - V_o}{L} DT_s \quad (2.13)$$

$$\text{endüktans akımı azalırken,} \quad \Delta i_L = \frac{V_o}{L} (1 - D) T_s \quad (2.14)$$

Sürekli iletim durumunun uç değerindeki v_L ve i_L Şekil 2.7’de gösterilmiştir. Sınırdan olmasından dolayı periyodun sonunda endüktans akımı sıfır olur. Şekil 2.7’de de görüldüğü gibi çıkış akımı $I_{o.min}$ ’dan daha küçük olursa sistem süreksiz akım durumuna geçer. Uygulamamızda sürekli akım modunda çalışacağız.



Şekil 2.7. Sürekli ve süreksiz akım durumu sınır değerleri

Çevircinin sürekli akım modunda (CCM) çalışması için gerekli olan en düşük endüktans değeri aşağıdaki gibi hesaplanır. Buna göre endüktans değerinin düşürülmesi için anahtarlama frekansının artırılması gerektiği ortaya çıkar.

$$I_{o.min} = \frac{\Delta i_L}{2} \Rightarrow I_{o.min} = \frac{V_o(1-D)}{2L} \cdot T_s$$

$$L > \frac{V_o(1-D)}{2I_{o.min} \cdot f_s} \quad (2.15)$$

2.6 Çıkış Gerilimindeki Dalgalanma

Doğrusal ve ideal devre elemanlarının kullanıldığı bir devrede, kapasitör üzerinden akan akım, her periyot boyunca kapasitör üzerinde ΔQ 'luk bir yük değişimine neden olur. Kapasitör üzerindeki gerilimin değişimi (dolayısı ile çıkış gerilimi üzerindeki gerilimin değişimi) yük değişiminin kapasitans değerine oranına eşittir. Burada kapasitör üzerinden akan akımdaki değişimin, endüktans üzerinden akan akım üzerindeki salınım ile aynı olduğu varsayıldığından çıkış voltajındaki salınım oranı denklem (2.9)'da belirtildiği gibi Şekil 2.5'teki i_c grafiğinin alanından hesaplanabilir.

$$\Delta v_o = \frac{\Delta Q}{C} = \frac{I}{C} \frac{I}{2} \frac{\Delta i_L}{2} \frac{T_s}{2} \quad (2.16)$$

Burada Δi_L , denklem (2.16)'da yerine koyulursa;

$$\Delta v_o = \frac{T_s}{8C} \frac{V_o}{L} (1-D) T_s \quad (2.17)$$

$f_c = \frac{1}{2\pi\sqrt{LC}}$ olarak alınırsa;

$$\frac{\Delta v_o}{V_o} = \frac{1}{8} \frac{(1-D) T_s^2}{LC} = \frac{\pi^2}{2} (1-D) \left[\frac{f_c}{f_s} \right]^2 \quad (2.18)$$

eşitliği elde edilir. Denklem (2.18)'den görülebileceği gibi çıkış gerilimindeki dalgalanmalar alçak geçiren filtrenin frekansı, anahtarlama frekansından çok küçük ($f_c \ll f_s$) seçilerek azaltılabilir. Ayrıca çevirici sürekli iletim durumunda çalıştığı sürece, çıkış yükten bağımsızdır.

Anahtarlama güç kaynaklarında yüzde olarak ifade edilebilen bozulma oranı belli bir değerden örneğin %1'den daha küçük şeklinde ifade edilir. Bu nedenle yapılan analizlerde $v_o(t) = V_o$, yani çıkış geriliminin sabit olduğu kabulü geçerlidir.

Gerçek şartlarda çıkış gerilimindeki salınım aşağıdaki denklem ile hesaplanır:

$$\Delta V_o = \frac{\Delta i_L T_s}{8C} + \Delta i_L ESR = \Delta i_L \left(\frac{T_s}{8C} + ESR \right) \quad (2.19)$$

Burada ESR çıkış kapasitörüne ait eşdeğer seri direnci gösterir. Yüksek frekanslı uygulamalarda, çıkış gerilimindeki dalgalanmanın baskın faktörü denklem (2.19)'da gösterildiği gibi kapasitansın eşdeğer seri direnci ESR'dir. Kapasitansın eşdeğer seri endüktansı (ESL) çok küçük olduğundan ihmal edilmiştir.

2.7 Çok Fazlı Çeviriciler

Son yıllara kadar kullanılan tek fazlı alçaltıcı çeviriciler makul tranzient cevabı sağlayacak boyutta yüksek endüktanslı ve günümüz çeviricilerine oranla düşük anahtarlama frekansları ile çalışmaktaydılar. Ayrıca sistem ihtiyaçları için oldukça büyük çıkış dekuplaj kapasitörlerine ihtiyaç duymaktaydı.

Çok fazlı alçaltıcı çevirici mimarisi, zamanın çoklanması yöntemi nedeniyle salınım frekansının faz sayısı oranında arttırılmasına ve faz başına düşen akım oranlarının düşürülmesine olanak sağlar. Çok fazlı alçaltıcı çeviricilerde her bir güç katı, anahtarlama frekansının senkronize bir şekilde $360/n$ derece kaydırılması ile çalışırlar. Şekil 2.8'de iki fazlı bir alçaltıcı çevirici mimarisi gösterilmiştir.

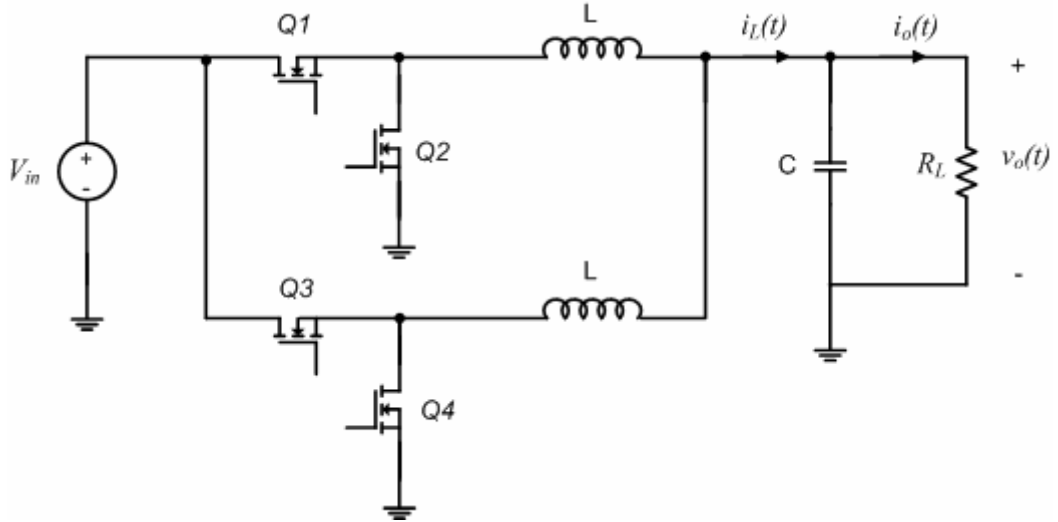
Faz sayısı arttıkça toplam endüktans akımı (çıkış akımı) salınımı girişim nedeniyle azaltılmış ve salınım frekansı faz sayısı oranında katlanmış bir çıkış akımı elde edilmiş olur. Şekil 2.9'da iki fazlı alçaltıcı çeviricideki çıkış akımının girişimi (ripple cancellation) gösterilmiştir (Kelly, 2005; Nguyen, 2004).

Çok fazlı mimarilerde çıkış akımındaki salınım aşağıdaki denklem ile hesaplanır:

$$\Delta i_L = i_{C, pk-pk} = \frac{V_o}{L} \left(1 - \frac{m}{nD}\right) (1 + m - nD) T_s \quad (2.20)$$

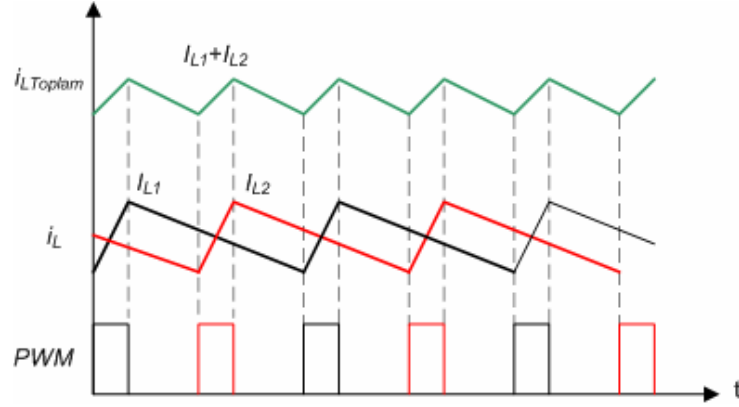
Burada n faz sayısını, D ise görev periyodunu ifade etmektedir. m ise, $m = \text{floor}(n \cdot D)$ fonksiyonu ile belirlenir. Floor fonksiyonu, değerın tam sayı kısmını ifade eder. Buna göre eğer $D < 1/n$ ise $m = 0$ 'dır (Hegarty, 2007; Miftakhutdinov, 2001). Bu durumda toplam endüktans akım salınımı aşağıdaki gibi ifade edilir.

$$\Delta i_L = i_{C, pk-pk} = \frac{V_o}{L} (1 - nD) T_s \quad (2.21)$$



Şekil 2.8. İki fazlı alçaltıcı çevirici devre şeması

Şekil 2.9'da görüldüğü gibi çok fazlı çeviricilerde faz sayısı arttırıldıkça salınım oranı düşmekte, salınım frekansı artmaktadır. Çıkış akımındaki salınımın azaltılması ile kullanılacak endüktans değeri ve dolayısı ile çıkış kapasitans değeri azaltılmış, bu sayede daha küçük değerli devre elemanı ve daha az güç tüketimi ile daha hızlı bir dinamik cevap elde edilmiş olur.



Şekil 2.9. İki fazlı alçaltıcı çeviricide endüktans akımı girişi

Kararlı hal durumundaki çok fazlı çeviricilerin $(1-D) > nD$ şartını sağlaması durumunda, çıkış kapasitörü ve endüktans üzerindeki akım dalga şeklinin aynısını elde edebileceğimiz tek fazlı çevirici eşdeğer devre elemanları aşağıdaki şekilde ifade edilebilir (Miftakhudinov, 2001).

$$D_{eq} = n \cdot D \quad f_{seq} = n \cdot f_s \quad T_{seq} = \frac{T_s}{n}$$

$$L_{eq} = \frac{L}{n} \quad V_{in_{eq}} = \frac{V_{in}}{n} \quad \Delta i_{L_{eq}} = \Delta i_L \frac{(1-nD)}{(1-D)}$$

Tek fazlı çevirici eşdeğer devre parametrelerine bakarak çok fazlı çeviricilerin avantajları görülebilir. Bunlar yüksek anahtarlama frekansı, düşük giriş gerilimi ile düşük akım salınımı ve düşük endüktans değeridir. Ani yük değişimleri sırasında hızlı dinamik cevap için kontrol algoritmasına göre faz kaydırma işlemi yapılmaksızın tüm fazlar eşzamanlı olarak iletim veya kesime gireceği için çok fazlı çevirici devre elemanlarına göre oluşturulan tek fazlı çevirici eşdeğer devre parametrelerinden, giriş gerilimi v_{in} , çıkış endüktansı ise L/n olarak modellenir. Çıkış voltajı kararlı hale gelince faz kaydırma işlemi tekrar uygulanmaya başlanır (Miftakhudinov, 2001).

Çok fazlı çeviricilerin belirtilen avantajları fazlar arası yük paylaşımının doğru yapılabilmesi halinde geçerlidir. Bu nedenle her bir faz akımının ölçülmesi gerekir. Sonraki bölümde akım ölçüm yöntemlerine kısaca değinilecektir.

2.8 Akım Ölçüm Yöntemi

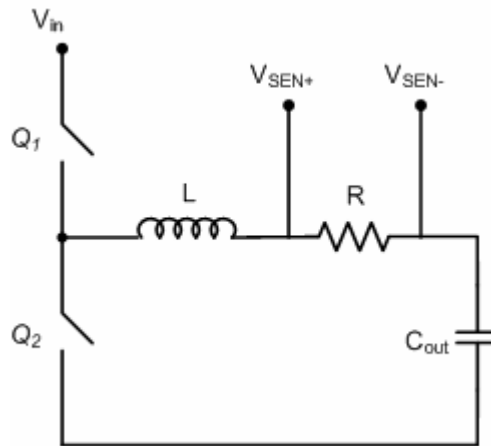
Çok fazlı alçaltıcı çeviricilerdeki fazlar arası akım paylaşımı ve aşırı akım koruması için ihtiyaç duyulan faz akımları çeşitli şekillerde ölçülebilir. Genellikle kullanılan 3 yöntem, çıkış endüktansına seri direnç bağlanması yöntemi, DCR yöntemi ve R_{DS-ON} yöntemleridir (Dong, 2009; Nguyen, 2004).

2.8.1 Endüktansa seri direnç bağlanması yöntemi

Geleneksel bir yöntem olup avantajı çok yüksek doğruluk toleransına sahip olmasıdır. Bu teknoloji, direnç toleranslarının %1'lerin altına düşmesi ve $1m\Omega$ gibi düşük değerlerde direnç bulunabilmesi ile halen bazı uygulamalarda kullanılmaktadır. Dezavantajı ise verimliliğinin düşük olmasıdır. Örneğin 20 A çıkış akımı ve $1m\Omega$ direnç için faz başına güç kaybı,

$$P = I^2 \cdot R = 20^2 \cdot (0.001) = 0.4W$$

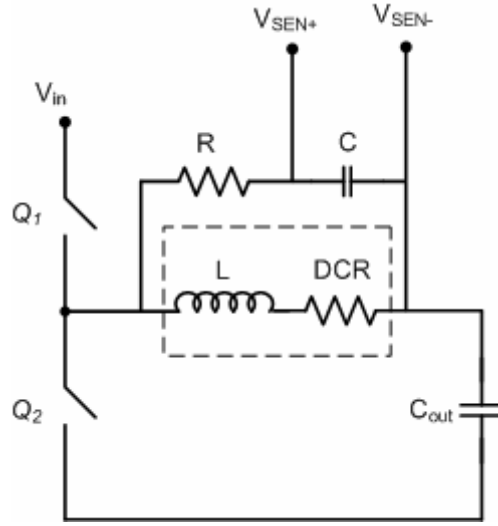
olarak bulunur. Dolayısı ile, 100 W'lık, 4 fazlı bir çeviricide %1,6'lık güç kaybına neden olur. Şekil 2.10'da bağlantı konfigürasyonu gösterilmiştir.



Şekil 2.10. Direnç ile akım ölçüm yöntemi

2.8.2 DCR (endüktans DC eşdeğer direnci) yöntemi

Bir önceki yöntem ile temelde aynı olup, ölçüm elemanı olarak ilave bir direnç yerine endüktansın seri eşdeğer direnci (DCR) kullanılmaktadır. Şekil 2.11'de gösterilmiştir. Bu yöntemin avantajı ilave bir maliyet ve güç kaybı olmadan ölçümün yapılmasıdır. Bu yöntemin doğruluğu endüktans eşdeğer direncinin (DCR) toleransına bağlıdır. Günümüzde endüktans toleransı %10 ile %20 arasında, DCR toleransı ise %5 ile %10 arasında değişir. DCR sıcaklık katsayısı $0.039 \text{ }^\circ\text{C}$ olup, DCR'nin sebebi olan bakır bobin telinin direnci sıcaklık ile artar (Nguyen, 2004).



Şekil 2.11. Endüktans DC eşdeğer (DCR) akım ölçüm yöntemi

Şekil 2.11'den C ölçüm kapasitörü voltajı şu şekilde hesaplanır.

$$\begin{aligned}
 v_L(s) &= i_L(s)(sL + DCR) && \text{: endüktans voltajı} \\
 v_C(s) &= v_L - v_R = v_L - R \frac{v_L}{R + \frac{1}{sC}} && \text{: ölçüm kapasitörü voltajı} \\
 v_C(s) &= i_L DCR \frac{\left(\frac{sL}{DCR} + 1 \right)}{sRC + 1} && (2.22)
 \end{aligned}$$

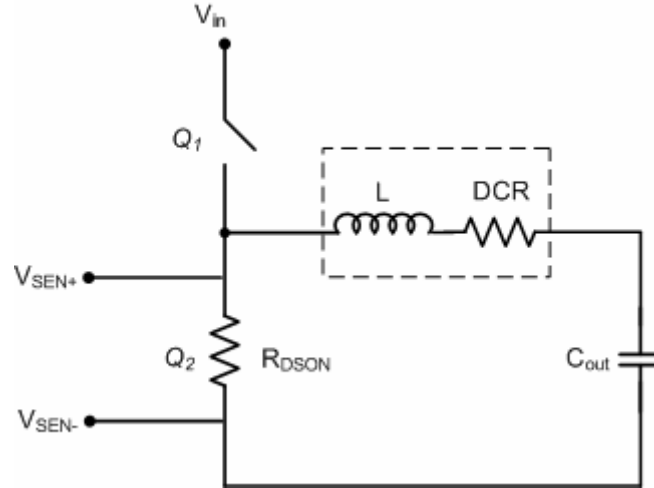
Denklem (2.22)'den görüldüğü gibi, RC zaman sabiti ile L/DCR zaman sabiti birbirine eş seçilirse,

$$v_C(s) = i_L \cdot DCR$$

kapasitör voltajı DCR üzerindeki gerilim düşümü ile orantılı olacaktır (Nguyen, 2004; Dong, 2009).

2.8.3 R_{DS-ON} (senkronize MOSFET iletim direnci) yöntemi

Diğer bir düşük kayıplı akım ölçüm yöntemi ise senkronize MOSFET'in iletim durumunda üzerindeki R_{DS-ON} direncinin kullanılmasıdır. Bu yöntemin doğruluğu daha azdır. Ölçüm yönteminin doğruluğu MOSFET'in R_{DS-ON} direncinin sıcaklıkla değişim karakteristiğine bağlıdır. MOSFET'in R_{DS-ON} sıcaklık katsayısı % 0.04 °C olup, görüldüğü gibi DCR sıcaklık katsayısı ile oldukça yakındır. Şekil 2.12'de devre şeması gösterilmiştir.



Şekil 2.12. R_{DS-ON} akım ölçüm yöntemi

2.9 Güç Devresinin Tasarımı

Güç devresinin tasarımı Tablo 2.1’de verilen gereksinimlere göre yapılacaktır. Tablo 2.1’de gösterildiği gibi giriş gerilimi olarak endüstride ve askeri uygulamalarda yaygın olarak kullanılan 12 V kullanılmış, çeviricinin çıkış voltajı 1.8 V ve çıkış akımı da 40 A olarak alınmış olup, çevirici iki fazlı senkronize çevirici olarak tasarlanacaktır.

Entegre devre elemanlarındaki boyut ve besleme voltajlarının düşmesi sonucu, devre elemanlarının boyutları mikron seviyelerine kadar inerken, besleme voltajları da 3.3, 2.8, 1.8 ve 1.0 V gibi değerlere kadar düşmüştür. Bu düşük besleme voltajlı entegre devre elemanlarının yüksek akım ihtiyacı, (>40 A) ani yük değişimleri sırasında önlem alınması gereken akım ve gerilim dalgalanmalarına neden olmaktadır (Terlizzi, 2003). Tasarımda bu dalgalanmalar Tablo 2.1’de verildiği gibi makul seviyelerde tutulmak zorundadır.. Güç devresi tasarımı temel olarak istenilen özelliklere sahip alçaltıcı çeviricinin L ve C değerlerinin hesaplanmasını ve anahtarlama elemanlarının seçimini ve anahtarlama frekansının belirlenmesini kapsar.

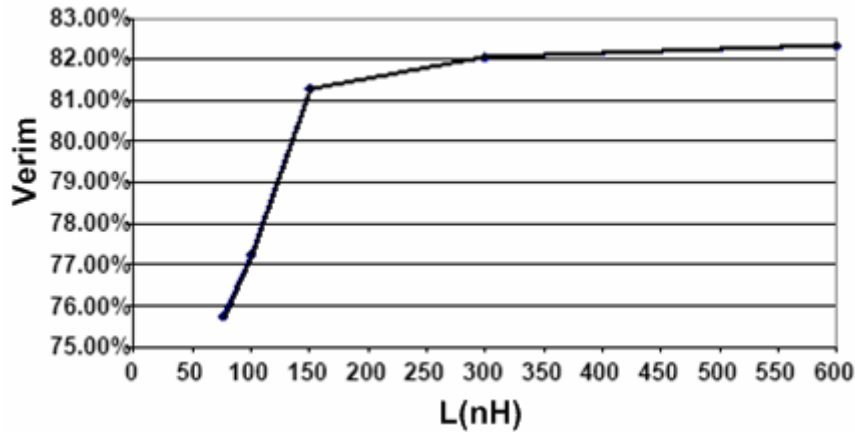
İstenilen küçük boyut, çıkış gerilim regülasyonu ve hızlı dinamik cevap koşullarını sağlayabilmek için anahtarlama frekansı olarak 500 kHz olarak seçilmiştir.

Tablo 2.1. Güç devresi tasarım parametreleri

PARAMETRE	AÇIKLAMA	DEĞER
V_{in}	Giriş voltajı	12 V
V_o	Çıkış voltajı	1.8 V
I_{o_max}	Maksimum akım (Faz başına 20 A)	40 A
I_{o_min}	Minimum akım (Faz başına 5 A)	10 A
$(\Delta V_o/V_o)$	Çıkış voltaj salınımı	% 0.5 (9 mV)
$(\Delta V_o/V_o)_{max}$	Tranzient voltaj salınımı ($I_{o_max} - I_{o_min} - I_{o_max}$)	% 5 (90 mV)

2.9.1 Endüktans değerinin belirlenmesi

Güç katının seçimindeki ilk aşama endüktansın seçilmesidir. Endüktans akımı hem AC hem de DC bileşen içerir. Endüktans akımındaki DC bileşen yüke verilen akımdır. Çok fazlı çeviricilerde, DC yük akımı fazlara bölünerek dağıtılır. Endüktansın AC bileşeni çeviricinin anahtarlama işlevinden dolayı meydana gelen dalgalanma (ripple) akımıdır. Alçaltıcı çeviricilerde endüktans değeriyle verimlilik arasındaki ilişki kavramsal olarak Şekil 2.13'te verilmiştir. Şekilde görüldüğü gibi endüktans değeri arttıkça, çeviricinin verimliliği de artar. Bunun nedeni endüktansın artması ile akım salınımının azalması ve buna bağlı olarak anahtarlama kayıplarının düşmesidir (Dong, 2009).

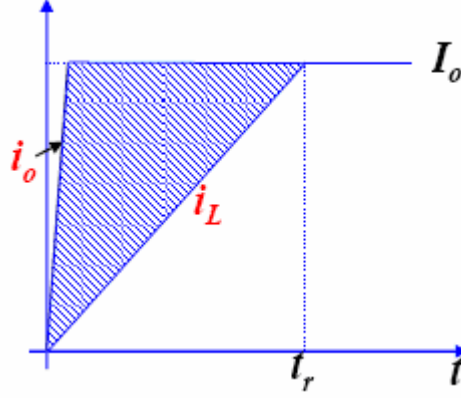


Şekil 2.13. Alçaltıcı çeviricilerde endüktansa göre verimin değişimi (Dong, 2009)

Endüktans değerinin artması ile verimliliğin artmasına karşın, çeviricinin tranzient cevabı kötüleşir. Şekil 2.14'de çıkış akımı değişimine karşın endüktans akımının tranzient cevabı görülmektedir (Dong, 2009).

Çevirici çıkış voltajı üzerindeki ani voltaj düşümlerinin sebebi (transient voltage drops) çıkış kapasitörlerinin ani değişimler sırasında ilave akım ihtiyacından kaynaklanır. Şekil 2.14'de görüldüğü gibi çıkış akımının değişim oranı, toplam endüktans akımının değişim oranından yüksektir. Aradaki fark çıkış kapasitörleri

tarafından karşılanır. Çıkış akımı ile endüktans akım değişim oranları arasındaki bu fark azaltılabilirse, çıkış voltaj salınımları da azaltılmış olur.



Şekil 2.14. Çıkış akımı ve endüktans akımı değişim oranı

Şekil 2.14'de görülen bu taralı alan, endüktans akımı değişim oranı ve çıkış akımı değişim oranına göre belirlenir. Çıkış akım değişimi uygulamaya bağlı olarak değiştiğine göre, bu alanı düşürmenin tek yolu endüktans akım değişim oranını yükseltmektir. Böylece çıkış kapasitörlerinin karşılaması gereken akım ihtiyacı azalacak ve çıkış voltajındaki ani zıplamalar minimum seviyede tutulabilecektir (Wong, et al., 2001; Miftakhutdinov, 2001).

Yukarıda verilen analizlerden anlaşılacağı gibi endüktans değerinin artırılması ile çeviricinin verimi artırılmasına rağmen, tranzient performansı düşürülmektedir. Uygulamalarda verimliliği ve tranzient cevabı makul seviyelerde sağlayabilen endüktans değeri belirlenmelidir.

Çeviricinin verimini ve tranzient cevabını makul ölçüde sağlayacak endüktans akımındaki salınım, genellikle azami yük akımının % 10'u ile % 30'u arasındadır (Hagen, 2009). Uygulamamızda maksimum yükte % 15'lik endüktans akım salınımı alınması halinde maksimum Δi_L 6 A olarak alınır. Bu durumda denklem (2.21)'e göre endüktans değeri aşağıdaki gibi hesaplanır:

$$L > \frac{V_o}{\Delta i_L} (1 - n D) T_s = \frac{1.8}{6} \left(1 - 2 \frac{1.8}{12} \right) (2.10^{-6})$$

$$L > 0.42 \mu H$$

Endüktans değerinin belirlenmesi için göz önünde bulundurulması gereken diğer bir husus da çeviricinin verimliliğinin yüksek olması için sürekli akım modunda çalışmasıdır. Faz başına en az 5 A çekileceği varsayılırsa, çeviricinin sürekli akım modunda çalışması için gerekli olan en küçük endüktans değeri denklem (2.15)'ten bulunur.

$$L > \frac{V_o}{2 \cdot (I_{Lmin})} (1 - D) T_s$$

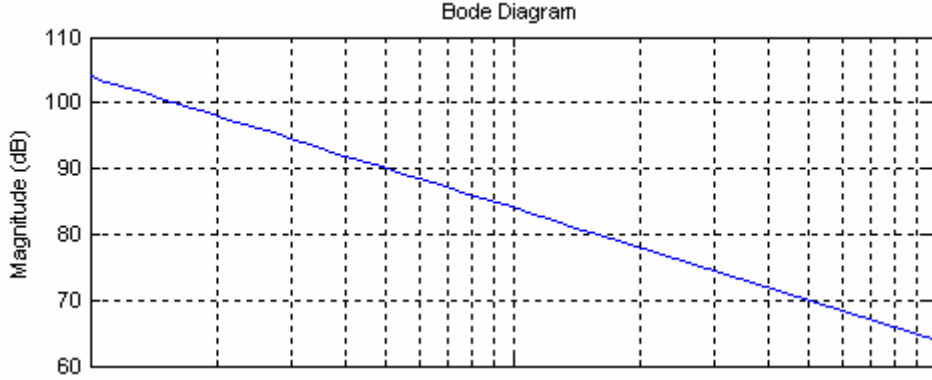
$$L > \frac{1.8}{2 \cdot 5} \cdot (1 - 0.15) \cdot (2.10^{-6})$$

$$L > 0.306 \mu F$$

Endüktans akımındaki maksimum salınımın 6 A olması ve çeviricinin sürekli akım modunda çalışmasını garanti etmek için endüktans değerinin $0.42 \mu H$ veya üstü bir değer olması yeterlidir. Uygulamada kullanacağımız geliştirme kartında $0.5 \mu H$ 'lik endüktans kullanılmıştır, bu değer hesaplanan değere yakın ve uygun bir değerdir.

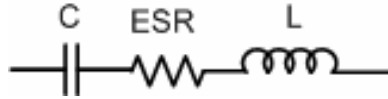
2.9.2 Kapasitans değerinin belirlenmesi

Çıkıştaki kapasitörlerin büyüklükleri ve tipleri, istenen geçici rejim cevabı ve çıkış voltajındaki dalgalanma değerine göre belirlenir. SMPS'ler için kullanılacak kapasitörler, düşük frekans dalgalanmalarını gidermek için enerji depolamak veya devrenin gürültü ve EMI (Electromagnetic Interference) problemlerine karşı yüksek frekanslarda dekuplajını yapmak amacıyla kullanılır.



Şekil 2.15. İdeal kapasitör empedans eğrisi (10µF)

Denklem (2.16)'da gösterildiği gibi belirli bir akım değerinde, daha düşük voltaj salınımı isteniyorsa kapasitans değeri yükseltilmelidir. Dolayısı ile çıkışta düşük salınım istenmesi durumunda SMPS çıkışında yüksek değerinde bir kapasitör olması gerekir. Ancak gerçek durumda, özellikle yüksek frekanslı uygulamalarda kapasitans değerinin artırılması sonucu büyüyen boyuta bağlı olarak kapasitörün parazitik elemanları önemli bir sorun teşkil eder. Gerçek bir kapasitörün eşdeğer devresi'de Şekil 2.16'da gösterilmiştir.



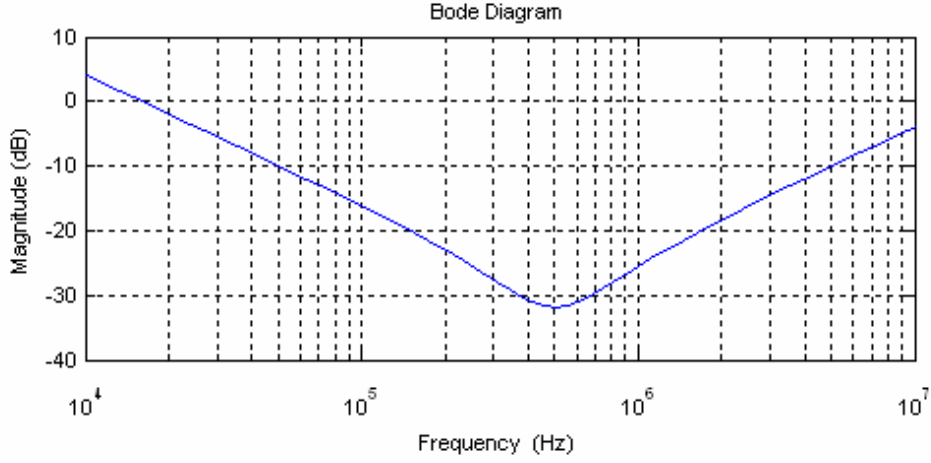
Şekil 2.16. Gerçek bir kapasitörün eşdeğer devresi

Bu durumda kapasitörün gerçek empedansı:

$$Z = \sqrt{ESR^2 + (X_L^2 - X_C^2)}$$

Burada $X_L = \omega L$ ve $X_C = \frac{1}{\omega C}$ 'dir.

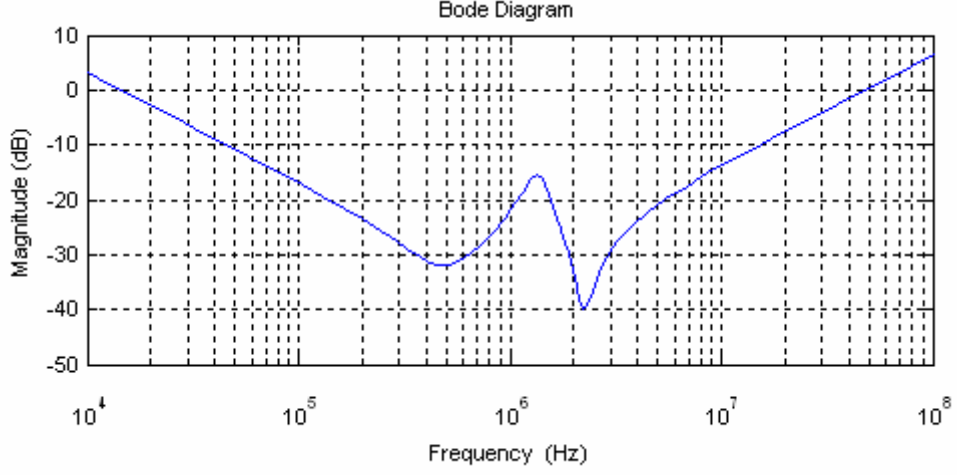
SMPS uygulamasında kullanılan düşük frekanslarda, parazitik elemanlarının etkisi çok küçük olup ihmal edilebilir. Bu durumda kapasitör empedans eğrisi Şekil 2.15'e yakındır. Ancak frekans yükseldikçe parazitik elemanların etkisi ortaya çıkmaya başlar ve empedans eğrisi Şekil 2.17'deki gibi olur.



Şekil 2.17. Gerçek bir kapasitör empedans eğrisi ($10\mu\text{F}$, $25\text{ m}\Omega$ ESR ve 10nH ESL).

Görüldüğü gibi 500 kHz civarlarından sonra frekans arttıkça empedansta artmaya başlar, yani kapasitör endüktans gibi davranmaya başlar. Rezonans frekansındaki empedans ise kapasitörün ESR'si ile elde edilir.

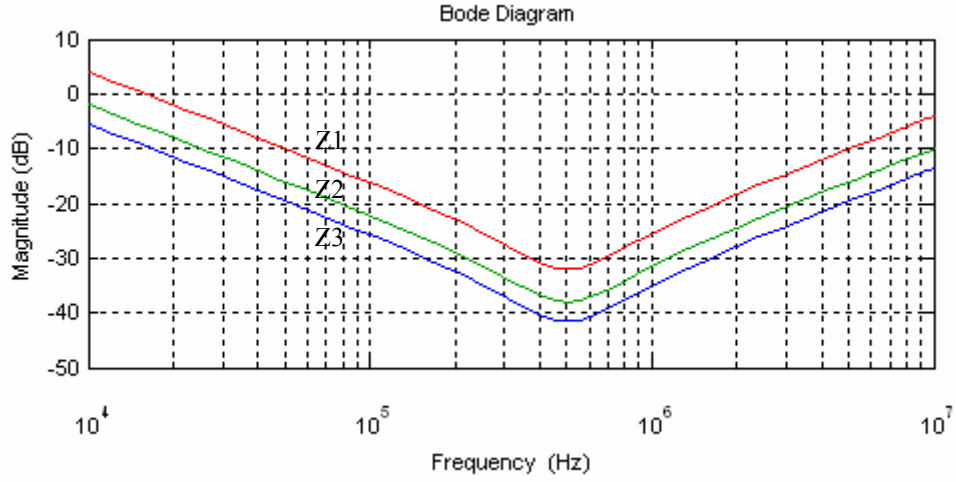
Şekil 2.18'de görüldüğü gibi farklı iki kapasitörün paralel bağlanması halinde, her iki kapasitör rezonans frekansları arasındaki frekanslarda kuplaj nedeniyle bir yükselme olabilir. Görüldüğü gibi kapasitörlerin 500 kHz ve 2 MHz civarında birer rezonans frekansı ve 1 MHz civarında da yükselme noktası oluşur. Bu nedenle frekans cevapları birbirine yakın değerlerde kapasitörler paralel olarak kullanılmamalıdır. Uygulamaya göre düşük frekanslar için alüminyum elektrolitik kapasitör ile yüksek frekanslar için seramik veya film kapasitörlerin kullanılması en uygun yöntemdir.



Şekil 2.18. Paralel bağlanmış iki farklı kapasitör empedans eğrisi. ($10\mu\text{F}$, $25\text{ m}\Omega$ ESR ve 10nH ESL - $1\mu\text{F}$, $10\text{ m}\Omega$ ESR ve 5nH ESL)

Aynı değerli kapasitörlerin paralel bağlanması pozitif sonuç verebilir. Şekil 2.19’da 1, 2 ve 4 adet aynı değerli kapasitörün paralel bağlanması sonucu elde edilen empedans eğrileri sırasıyla Z1, Z2 ve Z3 gösterilmiştir. Şekil 2.19’dan açıkça görüleceği gibi rezonans frekansı aynı olacak şekilde toplam kapasitans değeri brans sayısı ile çarpılırken, ESL ve ESR brans sayısına bölünerek ideal kapasitans değerlerine yaklaşırlar.

ESR ve ESL’nin düşürülmesi kapasitörü ideale daha da yaklaştıracaktır. Bunun için tek bir kapasitör yerine paralel kapasitör kullanılması tercih edilen bir yöntemdir. Ayrıca kapasitör bağlantı uçları mümkün olduğunca ilgili bağlantı noktasına yakın tutulmalıdır (Hagen, 2009; Miftakhutdinov, 2001).



Şekil 2.19. Paralel bağlanmış aynı değerli kapasitörlerin empedans eğrisi

Çıkış kapasitans değerinin belirlenmesindeki en önemli kısıtlama ani akım değişimlerine karşı müsaade edilen tranzient voltaj dalgalanmalarıdır. Çıkış akımın aniden 40 A yükselmesi durumunda, en çok 90 mV'luk dalgalanmanın olmasına müsaade edilirse;

$$V_{under} = \frac{LI_{STEP}^2}{2C_{out}D_{max}(V_{in} - V_{out})}$$

$$C_{out} > \frac{(0.5 \cdot 10^{-6}) \cdot (40)^2}{2 \cdot (90 \cdot 10^{-3}) \cdot (1) \cdot (12 - 1.8)} = 435 \mu F$$

benzer şekilde çıkış akımın aniden 40 A düşmesi durumunda, en çok 90 mV'luk dalgalanmanın olmasına müsaade edilirse;

$$V_{over} = \frac{LI_{STEP}^2}{2C_{out}V_{out}}$$

$$C_{out} > \frac{(0.5 \cdot 10^{-6}) \cdot (40)^2}{2 \cdot (90 \cdot 10^{-3}) \cdot (1.8)} = 2469 \mu F$$

olması gerekir (Lynch and Hesse, 2006). Uygulamada kullanacağımız geliştirme kartında $3100 \mu F$ 'lık çıkış kapasitansı kullanılmıştır, bu değer hesaplanan değere yakın ve uygun bir değerdir.

Kapasitans değerinin belirlenmesinin dışında maksimum çıkış gerilim dalgalanmasına göre eşdeğer seri direncin (ESR) değerinin de belirlenmesi gerekir (Rashid, 2001; Hagen, 2009). Denklem (2.19)'a göre çıkışta maksimum 9 mV'luk bir dalgalanmanın olması için,

$$\Delta v_o = \Delta i_L \left(\frac{T_s}{8C} + ESR \right)$$

$$9 \text{ mV} = 6 \text{ A} \left(\frac{2 \cdot 10^{-6}}{8 \cdot (3.1 \cdot 10^{-3})} + ESR \right)$$

$$ESR = 1.419 \text{ m}\Omega$$

ESR'nin maksimum 1.419 m Ω olması gerekir. Böyle küçük bir değer sağlanabilmesi için de çıkış kapasitörünün tek bir kapasitör olarak değil, paralel kapasitör branşları olarak yerleştirilmesi gereklidir.

Uygulamamızda çıkış kapasitörü olarak, gerilim regülasyonunu sağlamak amacıyla 6 adet $470 \mu F$ değerinde, 10 m Ω ESR'ye sahip alüminyum kapasitörler ile, yüksek frekanslı gürültülere karşı 4 adet $47 \mu F$ ve 4 adet $22 \mu F$ değerinde 2 m Ω ESR'ye sahip seramik kapasitörler kullanılmıştır. Teorik olarak 0.217 m Ω olan çıkış kapasitör ESR değeri gerçekte her bir kapasitör bağlantısı için yapılan PCB yollarının dirençleri nedeniyle 1 m Ω 'lar civarında olur. Bu nedenle çıkış kapasitörlerinin çıkış terminallerine yakın olarak yerleştirilmeleri ESR değerinin düşürülmesine yardımcı olur.

2.9.3 Anahtarlama elemanlarının belirlenmesi

Anahtarlama elemanları maruz kalacağı akım ve gerilim değerlerine dayanabilecek şekilde seçilmelidir. Buna göre Şekil 2.2'deki alçaltıcı senkronize bir DC-DC çevirici için anahtarlama elemanlarının 12 V gerilim ve 23 A akıma maruz kalacağı görülmektedir.

Burada dikkat edilmesi gereken diğer bir nokta, çeviricinin çalışma şartlarına göre verimliliği arttırmak için güç kaybını en aza indirecek şekilde bir seçim yapabilmektir. Çalışmamızda düşük çıkış voltajı ve dolayısı ile düşük görev periyodu ile çalışacağımız öngörüldüğünden, senkronize MOSFET'in çalışma süresi anahtarlama elemanı olarak çalışan ana MOSFET'ten daha fazladır. Bu nedenle ana MOSFET'in (Q1) anahtarlama kayıplarının minimum seviyede tutulması, senkronize MOSFET'in (Q2) ise iletim durumundaki kayıplarının minimum seviyede tutulması gerekmektedir. Bunun için ana MOSFET'in açma/kapama sürelerini ve kayıplarını minimuma indirmek için kapı-sürücüsü eşik gerilimi (Gate-Source threshold voltajı) düşük seçilmeli; senkronize MOSFET'te ise iletim durumundaki kayıplarını minimuma indirmek için R_{DS-ON} direncinin düşük seçilmesi gerekmektedir.

Yapılan tasarım Texas Instrument firmasına ait UCD9112 geliştirme kartı (evaluation module) üzerinde uygulanacaktır. Bu kart üzerinde kullanılan anahtarlama elemanları şunlardır: MOSFET (Q1) olarak 30V, 27A ve 9 m Ω 'luk Fairchild'ın FDMS8690 parça numaralı, senkronize MOSFET (Q2) olarak ise 30V, 50A ve 2.2 m Ω 'luk Infineon'un BSC022N03S parça numaralı MOSFET'ler kullanılmıştır. Bu devre elemanlarının değerleri yapılan tasarım kriterlerine uygundur.

BÖLÜM 3

ALÇALTICI ÇEVİRİCİNİN MODELLENMESİ VE TRANSFER FONKSİYONLARININ ELDE EDİLMESİ

3.1 Giriş

Bu bölümde alçaltıcı çevirici belirli bir DC çalışma noktası çevresinde doğrusallaştırılarak modellenecek ve küçük sinyalli işaretler için eşdeğer devre modeli ile çıkıştan girişe ve çıkıştan kontrole transfer fonksiyonları elde edilecektir.

3.2 Alçaltıcı Çeviricinin Modellenmesi

Alçaltıcı çeviricinin modellenmesi boyunca, büyük harfle gösterilen terimler DC değerlerini, küçük harfle gösterilen terimler doğru akım (DC) veya alternatif akım (AC) değerleri içerebilen zamana bağlı değişkenleri ve şapkalı gösterilen terimler küçük AC dalgalanmalarını belirtmektedir (Erickson, 1997). Örnek olarak:

V_o : Kararlı hal DC çıkış voltajı değerini ifade eder.

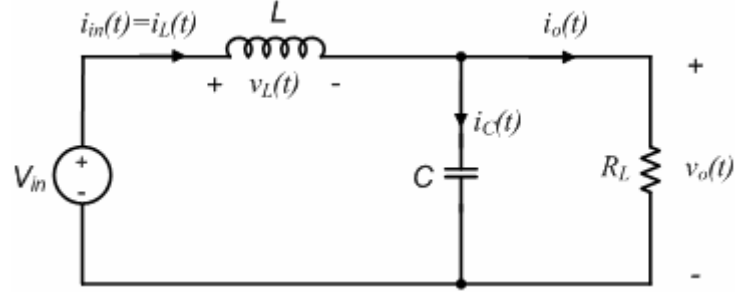
$v_o(t)$: AC ve DC değerlerini içeren anlık çıkış voltajı değerini ifade eder.

$\hat{v}_o(t)$: Çıkış voltajı üzerindeki küçük AC dalgalanmaların değerini ifade eder.

Modelleme sırasında anahtarlama elemanının iletim veya kesim durumlarına göre oluşan durumlar göz önüne alınır.

3.2.1 Anahtarlama elemanının iletim durumu

Q1 anahtarlama elemanının ilettime sokulması durumunda senkronize alçaltıcı çeviricinin devre şeması Şekil 3.1'de gösterilmiştir.



Şekil 3.1. Q1 anahtarlama elemanının iletim durumundaki çevirici eşdeğer devresi

$$v_L(t) = v_{in}(t) - v_o(t) \quad (3.1)$$

$$i_C(t) = i_L(t) - \frac{v_o(t)}{R_L} \quad (3.2)$$

$$i_{in}(t) = i_L(t) \quad (3.3)$$

Denklem (3.1), (3.2) ve (3.3) alçaltıcı çeviricinin Q1 anahtarı iletim durumundaki denklemleridir. Bu denklemler, küçük dalgalanma yaklaşımı kullanılarak düşük frekanslı ortalama değerleri ile değiştirilir.

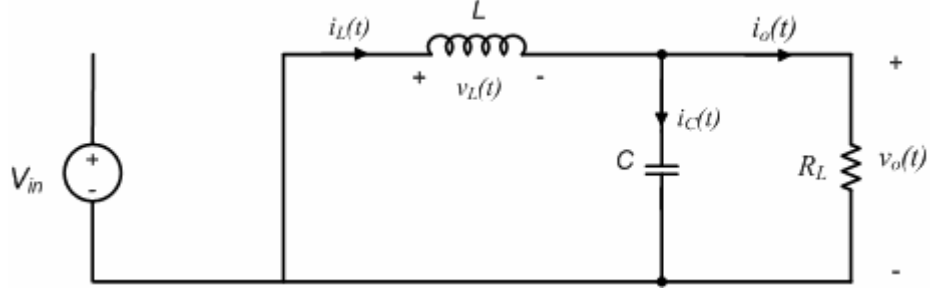
$$v_L(t) \cong \langle v_{in}(t) \rangle_{T_s} - \langle v_o(t) \rangle_{T_s} \quad (3.4)$$

$$i_C(t) \cong \langle i_L(t) \rangle_{T_s} - \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \quad (3.5)$$

$$i_{in}(t) \cong \langle i_L(t) \rangle_{T_s} \quad (3.6)$$

3.2.2 Anahtarlama elemanının kesim durumu

Q1 anahtarlama elemanının kesime sokulması durumunda senkronize alçaltıcı çeviricinin devre şeması Şekil 3.2’de gösterilmiştir.



Şekil 3.2. Q1 anahtarlama elemanının kesim durumundaki çevirici eşdeğer devresi

$$v_L(t) = -v_o(t) \quad (3.7)$$

$$i_C(t) = i_L(t) - \frac{v_o(t)}{R_L} \quad (3.8)$$

$$i_{in}(t) = 0 \quad (3.9)$$

Denklem (3.7), (3.8) ve (3.9) alçaltıcı çeviricinin Q1 anahtarı kesim durumundaki denklemleridir. Bu denklemler, küçük dalgalanma yaklaşımı kullanılarak düşük frekanslı ortalama değerleri ile değiştirilir.

$$v_L(t) \cong -\langle v_o(t) \rangle_{T_s} \quad (3.10)$$

$$i_C(t) \cong \langle i_L(t) \rangle_{T_s} - \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \quad (3.11)$$

$$i_{in}(t) \cong 0 \quad (3.12)$$

3.2.3 Endüktans dalga şekillerinin ortalamasının alınması

Tam bir periyot boyunca ortalama endüktans gerilimi, denklem (3.4) ve (3.10)'un toplamından elde edilir.

$$\langle v_L(t) \rangle_{T_s} = \frac{1}{T_s} \int_t^{t+T_s} v_L(t) d(t) \cong d(t) \cdot (\langle v_{in}(t) \rangle_{T_s} - \langle v_o(t) \rangle_{T_s}) + d'(t) (-\langle v_o(t) \rangle_{T_s}) \quad (3.13)$$

Burada, $d'(t)$, $d(t)$ 'nin 1'e tümleyenini, yani anahtarlama elemanın bir periyot boyunca kapalı kalma süresinin periyot süresine oranını ifade eder. Bu durumda, $d(t) = 1 - d'(t)$ eşitliğinden yararlanarak

$$\langle v_L(t) \rangle_{T_s} = L \frac{d \langle i_L(t) \rangle_{T_s}}{dt} \cong d(t) \cdot \langle v_{in}(t) \rangle_{T_s} - \langle v_o(t) \rangle_{T_s} \quad (3.14)$$

eşitliği elde edilir. Büyük sinyalli (DC) işaretler için $\langle v_L(t) \rangle_{T_s} = 0$ olduğu kabul edilirse, çeviricinin voltaj transfer fonksiyonu denklem (3.15)'deki gibi bulunur.

$$\langle v_o(t) \rangle_{T_s} = d(t) \cdot \langle v_{in}(t) \rangle_{T_s} \quad (3.15)$$

3.2.4 Kapasitör dalga şekillerinin ortalamasının alınması

Tam bir periyot boyunca ortalama kapasitans akımı, denklem (3.5) ve (3.10)'un toplamından elde edilir.

$$\langle i_C(t) \rangle_{T_s} = d(t) \left(\langle i_L(t) \rangle_{T_s} - \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \right) + d'(t) \left(\langle i_L(t) \rangle_{T_s} - \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \right) \quad (3.16)$$

$$\langle i_C(t) \rangle_{T_s} = C \frac{d \langle v_C(t) \rangle_{T_s}}{dt} = \langle i_L(t) \rangle_{T_s} - \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \quad (3.17)$$

Büyük sinyalli (DC) işaretler için $\langle i_C(t) \rangle_{T_s} = 0$ olduğu kabul edilirse, çeviricinin ortalama çıkış akımı aşağıdaki gibi bulunur.

$$\langle i_L(t) \rangle_{T_s} = \frac{\langle v_o(t) \rangle_{T_s}}{R_L} \quad (3.18)$$

3.2.5 Giriş akımının ortalamasının alınması

Tam bir periyot boyunca ortalama giriş akımı, denklem (3.6) ve (3.12)'nin toplamından elde edilir.

$$\langle i_{in}(t) \rangle_{T_s} = d(t) \langle i_L(t) \rangle_{T_s} + d'(t)(0) \quad (3.19)$$

$$\langle i_{in}(t) \rangle_{T_s} = d(t) \langle i_L(t) \rangle_{T_s} \quad (3.20)$$

Görüldüğü gibi ortalama giriş akımı ideal devre elemanları kullanıldığı varsayılırsa, ortalama çıkış akımı ve görev periyodunun çarpımı ile bulunur. Görev periyodu ne kadar düşük olursa giriş akımı da o oranda azaltılmış olur.

3.3 Alçaltıcı Çeviricinin Küçük Sinyalli İşaretler İçin Modellenmesi

Çeviricinin giriş değişkenleri olan V_{in} giriş gerilimi ve D çalışma oranının kararlı hal durumu için çeviricinin endüktans akımı, kapasitör gerilimi ve giriş akımı denklemleri daha önce oluşturulmuştu. Bu giriş değişkenlerinin kararlı hal değerlerinin üzerine küçük AC salınımların eklenmesi ile,

$$\langle v_{in}(t) \rangle_{T_s} = V_{in} + \hat{v}_{in}(t)$$

$$d(t) = D + \hat{d}(t)$$

çeviricinin bağımlı gerilim ve akımları olan endüktans akımı, kapasitör gerilimi ve giriş akımı üzerine de küçük AC salınımlar eklenir (Erickson, 1997).

$$\langle i_L(t) \rangle_{T_s} = I_L + \hat{i}_L(t)$$

$$\langle v_o(t) \rangle_{T_s} = V_o + \hat{v}_o(t)$$

$$\langle i_{in}(t) \rangle_{T_s} = I_{in} + \hat{i}_{in}(t)$$

Burada belirtilen AC salınımlar, kararlı hal değerlerine göre çok küçüktür.

$$|\hat{v}_{in}(t)| \ll |V_{in}|$$

$$|\hat{d}(t)| \ll |D|$$

$$|\hat{i}_L(t)| \ll |I_L|$$

$$|\hat{v}_o(t)| \ll |V_o|$$

$$|\hat{i}_{in}(t)| \ll |I_{in}|$$

3.3.1 Endüktans denkleminin bozunumu

Küçük sinyalli salınım ifadeleri endüktans denkleminde yerine koyulur ve çok küçük olan 2. derece AC terimler ihmal edilir ise,

$$L \frac{d(I_L + \hat{i}_L(t))}{dt} = (D + \hat{d}(t))(V_{in} + \hat{v}_{in}(t)) - (V_o + \hat{v}_o(t)) \quad (3.21)$$

$$L \left(\frac{dI_L}{dt} + \frac{d(\hat{i}_L(t))}{dt} \right) = \underbrace{(DV_{in} - V_o)}_{DC \text{ terimler}} + \underbrace{(D\hat{v}_{in}(t) + \hat{d}(t)V_{in} - \hat{v}_o(t))}_{1 \text{ derece AC terimler} \text{ Linear}} + \underbrace{(\hat{d}(t)\hat{v}_{in}(t))}_{2 \text{ derece AC terimler} \text{ Nonlinear}} \quad (3.22)$$

DC terimlerin eşitliği alındığında:

$$DV_{in} = V_o \quad (3.23)$$

elde edilir. 1. derece AC terimlerin eşitliği alındığında;

$$L \left(\frac{d(\hat{i}_L(t))}{dt} \right) = D\hat{v}_{in}(t) + \hat{d}(t)V_{in} - \hat{v}_o(t) \quad (3.24)$$

elde edilir. Bu eşitlik, küçük sinyalli işaretlerin dalgalanmasını veren doğrusallaştırılmış ve ulaşılmak istenen denklemdir (Erickson, 1997).

3.3.2 Kapasitör denkleminin bozunumu

Küçük sinyalli salınım ifadeleri kapasitör denkleminde yerine koyulur ve çok küçük olan 2. derece AC terimler ihmal edilir ise,

$$C \frac{d(V_o + \hat{v}_o(t))}{dt} = (I_L + \hat{i}_L(t)) - \frac{V_o + \hat{v}_o(t)}{R_L} \quad (3.25)$$

$$C \left(\frac{dV_o}{dt} + \frac{d(\hat{v}_o(t))}{dt} \right) = \underbrace{\left(I_L - \frac{V_o}{R_L} \right)}_{DC \text{ terimler}} + \underbrace{\left(\hat{i}_L(t) - \frac{\hat{v}_o(t)}{R_L} \right)}_{\substack{1. derece AC terimler \\ Lineer}} \quad (3.26)$$

DC terimlerin eşitliği alındığında:

$$I_L = \frac{V_o}{R_L} \quad (3.27)$$

elde edilir. 1. derece AC terimlerin eşitliği alındığında:

$$C \left(\frac{d(\hat{v}_o(t))}{dt} \right) = \hat{i}_L(t) - \frac{\hat{v}_o(t)}{R_L} \quad (3.28)$$

elde edilir. Bu eşitlik, küçük sinyalli işaretlerin dalgalanmasını veren doğrusallaştırılmış ve ulaşılmak istenen denklemdir (Erickson, 1997).

3.3.3 Giriş akım denkleminin bozunumu

Küçük sinyalli salınım ifadeleri giriş akımı denkleminde yerine koyulur ve çok küçük olan 2. derece AC terimler ihmal edilir ise:

$$(I_{in} + \hat{i}_{in}(t)) = (D + \hat{d}(t))(I_L + \hat{i}_L(t)) \quad (3.29)$$

$$(I_{in} + \hat{i}_{in}(t)) = \underbrace{DI_L}_{DC \text{ terimler}} + \underbrace{(D\hat{i}_L(t) + \hat{d}(t)I_L)}_{\substack{1. \text{ derece AC terimler} \\ \text{Lineer}}} + \underbrace{\hat{d}(t)\hat{i}_L(t)}_{\substack{2. \text{ derece AC terimler} \\ \text{Nonlineer}}} \quad (3.30)$$

DC terimlerin eşitliği alındığında:

$$I_{in} = DI_L \quad (3.31)$$

elde edilir. 1. derece AC terimlerin eşitliği alındığında:

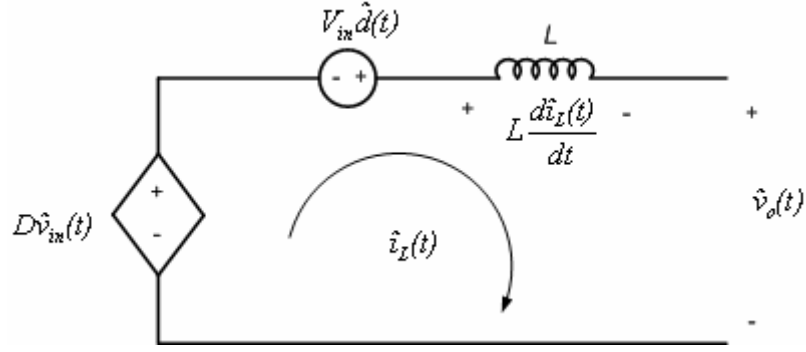
$$\hat{i}_{in}(t) = D\hat{i}_L(t) + \hat{d}(t)I_L \quad (3.32)$$

elde edilir. Bu eşitlik, küçük sinyalli işaretlerin dalgalanmasını veren doğrusallaştırılmış ve ulaşılmak istenen denklemdir (Erickson, 1997).

3.3.4 Endüktans denklemine göre modelin elde edilmesi

$$L \left(\frac{d(\hat{i}_L(t))}{dt} \right) = D\hat{v}_{in}(t) + V_{in}\hat{d}(t) - \hat{v}_o(t)$$

Denklem (3.24)'ün karşılığı olan eşdeğer devre modeli Şekil 3.3'teki gibi elde edilir.

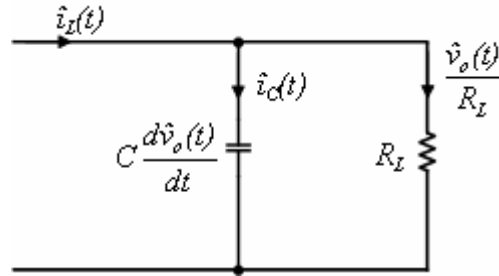


Şekil 3.3. Endüktans denklemine göre devre modeli

3.3.5 Kapasitör denklemine göre modelin elde edilmesi

$$C \left(\frac{d(\hat{v}_o(t))}{dt} \right) = \hat{i}_L(t) - \frac{\hat{v}_o(t)}{R_L}$$

Denklem (3.28)'in karşılığı olan eşdeğer devre modeli Şekil 3.4'teki gibi elde edilir.

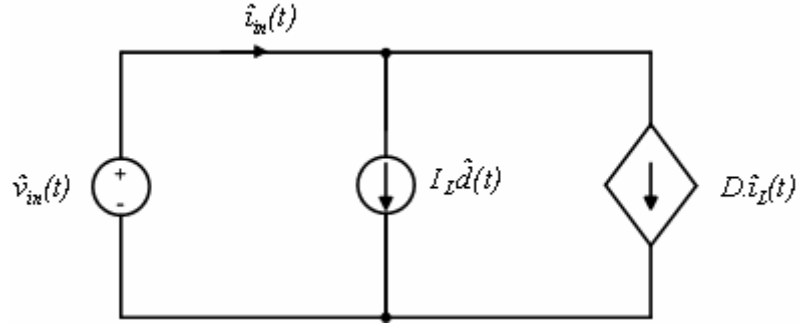


Şekil 3.4. Kapasitör denklemine göre devre modeli

3.3.6 Giriş akım denklemine göre modelin elde edilmesi

$$\hat{i}_{in}(t) = D\hat{i}_L(t) + \hat{d}(t)I_L$$

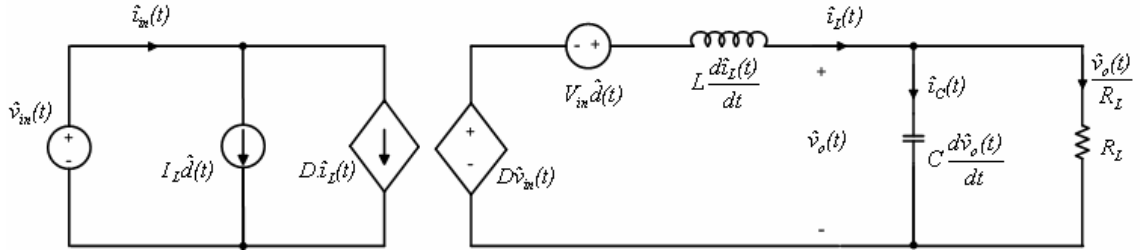
Denklem (3.32)'nin karşılığı olan eşdeğer devre modeli Şekil 3.5'teki gibi elde edilir.



Şekil 3.5. Giriş akım denklemine göre devre modeli

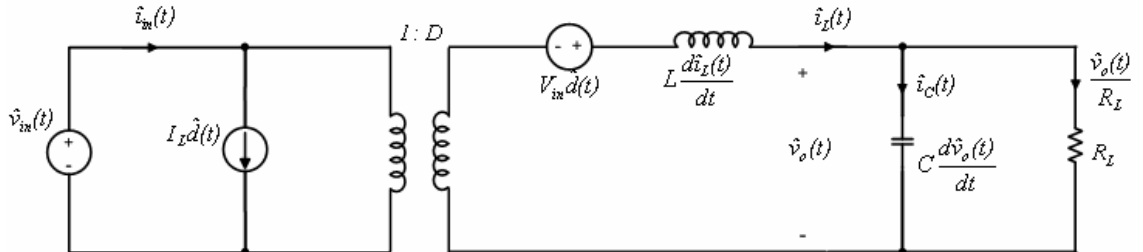
3.3.7 Alçaltıcı çeviricinin küçük sinyal eşdeğer devresi

Endüktans, kapasitör ve giriş akım denklemlerine göre elde edilen modeller birleştirildiğinde, alçaltıcı çeviricinin küçük sinyalli işaretler için eşdeğer devresi bulunur (Erickson, 1997). Bu model Şekil 3.6’da gösterilmektedir.



Şekil 3.6. Alçaltıcı çevirici küçük sinyal eşdeğer devresi

Devredeki bağımlı kaynaklar ideal bir trafo ile modellenebilir, bu durumda devre şeması Şekil 3.7’de verilen şeklini alır.



Şekil 3.7. Basitleştirilmiş alçaltıcı çevirici küçük sinyal eşdeğer devresi

3.4 Alçaltıcı Çeviricinin Transfer Fonksiyonlarının Elde Edilmesi

Şekil 3.7'den görüldüğü gibi çeviricinin kontrol girişi $d(t)$, besleme girişi $v_{in}(t)$ olmak üzere iki adet bağımsız AC girişi vardır. Çıkış gerilimindeki AC dalgalanmalar bu iki bağımsız girişe ve yükteki değişimlere bağlı olarak aşağıdaki şekilde ifade edilebilir.

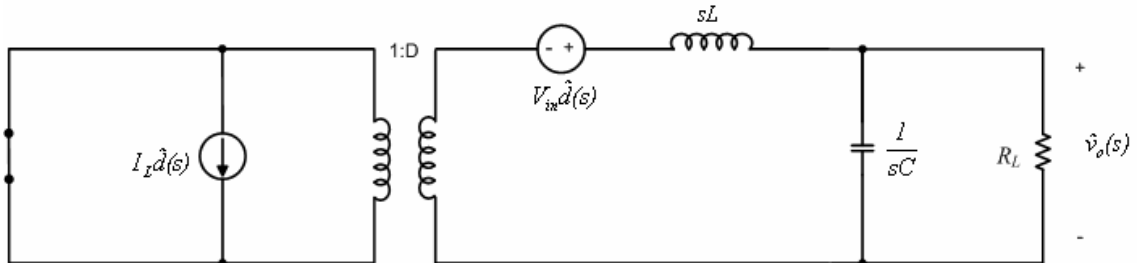
$$\hat{v}_o(s) = G_{vd}(s)\hat{d}(s) + G_{vi}(s)\hat{v}_{in}(s) \pm Z_{out}(s)\hat{i}_{Load}(s) \quad (3.33)$$

Böylece transfer fonksiyonları aşağıdaki şekilde oluşturulur.

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\substack{\hat{v}_{in}=0 \\ \hat{i}_{Load}=0}}, \quad G_{vi}(s) = \left. \frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{i}_{Load}=0}}, \quad Z_{out}(s) = \left. \frac{\hat{v}_o(s)}{\hat{i}_{Load}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{v}_{in}=0}}$$

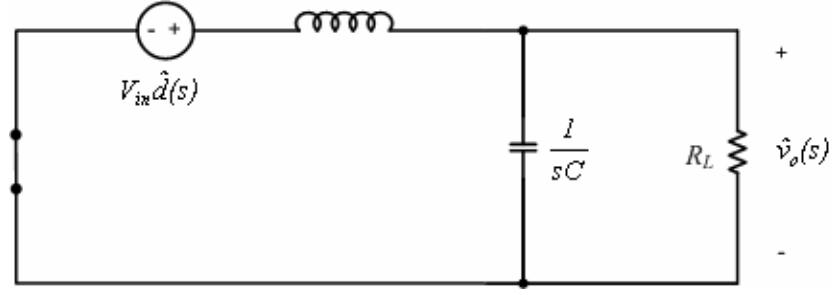
3.4.1 Çıkıştan kontrole transfer fonksiyonunun elde edilmesi

Çıkıştan kontrole transfer fonksiyonunu elde edebilmek için Şekil 3.7'deki eşdeğer devrede $\hat{v}_{in}(s)$ kaynağı kısa devre yapılarak sifıra eşitlenir ve devre Şekil 3.8'deki halini alır;



Şekil 3.8. $\hat{v}_{in}(s)$ kaynağı sifıra eşitlenmiş küçük sinyal eşdeğer devresi

Akım kaynağı kısa devre edildiği için, eşdeğer devre Şekil 3.9'daki hale gelir.



Şekil 3.9. Primerden sekondere aktarım

Böylece çıkıştan kontrole transfer fonksiyonu:

$$\hat{v}_o(s) = \frac{Z_2}{Z_2 + Z_1} V_{in} \hat{d}(s)$$

Burada:

$$Z_2 = R_L \parallel \frac{1}{sC}, \quad Z_1 = sL$$

olarak yerlerine konursa,

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\substack{\hat{v}_{in}=0 \\ i_{LOAD}=0}} = V_{in} \frac{R_L \parallel \frac{1}{sC}}{\left(R_L \parallel \frac{1}{sC} \right) + sL} = V_{in} \frac{1}{1 + s \frac{L}{R_L} + s^2 LC} \quad (3.34)$$

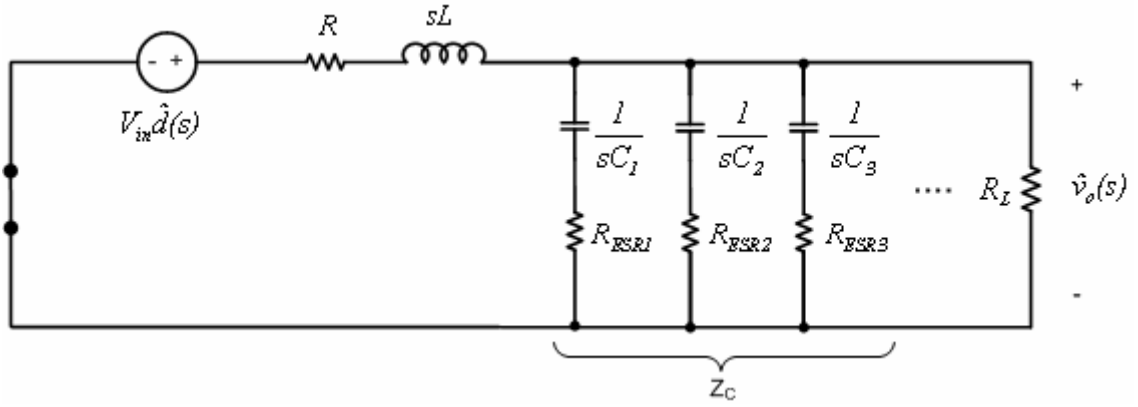
elde edilir. Transfer fonksiyonu standart forma sokulur ise, denklem (3.34) ile verilen çıkıştan kontrole transfer fonksiyonu:

$$G_{vd}(s) = G_{do} \cdot \frac{\left(1 - \frac{s}{\omega_z} \right)}{1 + \frac{s}{Q\omega_o} + \left(\frac{s}{\omega_o} \right)^2} \quad (3.35)$$

Denklem (3.34) ile (3.35) karşılaştırılır ise aşağıdaki parametreler alçaltıcı çeviriciler için elde edilir.

$$G_{do} = V_{in} \quad \omega_o = \frac{1}{\sqrt{LC}} \quad Q = R_L \sqrt{\frac{C}{L}} \quad \omega_z = \infty$$

Bu denklemler çeviricinin ideal devre elemanlarına göre oluşturulan denklemleridir. Ancak normal çalışma şartlarında çıkış kapasitansının eşdeğer seri direnci (ESR) ve endüktans DC direnci (DCR) ile anahtarlama elemanlarının üzerindeki dirençlerin seri eşdeğeri R hesaba katıldığında transfer fonksiyonu aşağıdaki şekilde oluşturulur.



Şekil 3.10. Normalleştirilmiş devre şeması

$$\hat{v}_o(s) = \frac{Z_2}{Z_2 + Z_1} V_{in} \hat{d}(s)$$

$$Z_2 = R_L \parallel Z_C,$$

$$Z_1 = R + sL$$

Burada,

$$Z_C = \frac{1}{\frac{1}{Z_{C1}} + \frac{1}{Z_{C2}} + \frac{1}{Z_{C3}} + \dots + \frac{1}{Z_{Cn}}}$$

$$Z_{Cn} = R_{ESRn} + s ESL_n + \frac{1}{sC_n}$$

$$R = DCR + d R_{ds1} + (1-d)R_{ds2}$$

olarak yerlerine koyulursa çıkıştan kontrole transfer fonksiyonu aşağıdaki gibi elde edilir.

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\substack{\hat{v}_m=0 \\ i_{LOAD}=0}} = V_{in} \frac{R_L \parallel Z_C}{(R_L \parallel Z_C) + (R + sL)} = V_{in} \cdot \frac{Z_C R_L}{(R + sL)(Z_C + R_L) + Z_C R_L} \quad (3.36)$$

Burada kapasitörlerin eşdeğer seri endüktansları (ESL) çok küçük olduğundan ihmal edilerek, kapasitör branşlarının eşdeğeri yerine koyulursa çıkıştan kontrole transfer fonksiyonu aşağıdaki şekilde hesaplanabilir.

$$G_{vd}(s) = V_{in} \frac{(sR_{ESR}C + 1)}{s^2 LC \left(\frac{R_L + R_{ESR}}{R_L} \right) + s \left[R_{ESR} C \left(\frac{R + R_L}{R_L} \right) + \frac{L}{R_L} + RC \right] + \left(\frac{R + R_L}{R_L} \right)} \quad (3.37)$$

Standart formu ise denklem (3.38)'de gösterilmiştir.

$$G_{vd}(s) = V_{in} \left(\frac{R_L}{R + R_L} \right) \frac{(s / \omega_{ESR} + 1)}{(s^2 / \omega_o^2) + s / (Q\omega_o) + 1} \quad (3.38)$$

Burada, ω_{ESR} , rad/s olarak çıkış kapasitansının eşdeğer seri direnci (ESR) nedeniyle oluşan sıfır frekansı; ω_o rad/s olarak LC alçak geçiren filtresinin değerine göre elde edilen kesim frekansı; R , endüktans DC direnci (DCR) ile anahtarlama elemanları üzerindeki dirençlerin seri eşdeğeridir. Q1 ve Q2 anahtarlama transistorlerine ait iletim dirençleri olup, sırasıyla R_{ds1} ve R_{ds2} olarak gösterilmektedir. Q ise, LC filtresi ve çıkış yükünün birleştirilmiş kalite faktörünü temsil eder. Bu parametreler:

$$\omega_{ESR} = \frac{1}{R_{ESR}C}$$

$$\omega_o = \sqrt{\frac{R + R_L}{LC(R_L + R_{ESR})}}$$

$$Q = \frac{1}{\omega_o \left[R_{ESR} C + \frac{L}{R + R_L} + \frac{R R_L C}{R + R_L} \right]}$$

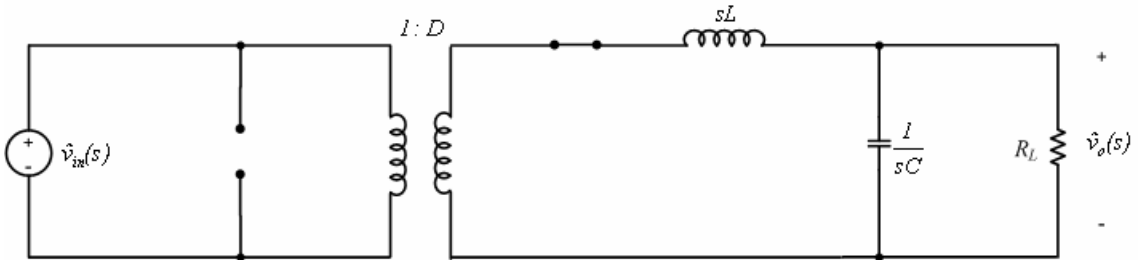
Bu denklemlerde, yük direncinin, kapasitör eşdeğer direncinden (ESR) ve anahtarlama elemanlarının iletim dirençleri ile seri olarak hesaplanan eşdeğer endüktans direncinden (R) çok büyük oldukları yaklaşımı ile ($R_{ESR} \ll R_L$ ve $R \ll R_L$), R ve R_{ESR} denklemlerde ihmal edilirse;

$$\omega_o = \sqrt{\frac{1}{LC}} \quad Q = \frac{1}{\omega_o \left[R_{ESR} C + \frac{L}{R_L} + RC \right]} \cong \frac{1}{R_{ESR} + R} \sqrt{\frac{L}{C}}$$

elde edilir (Hagen, 2009; Choudhury, 2007).

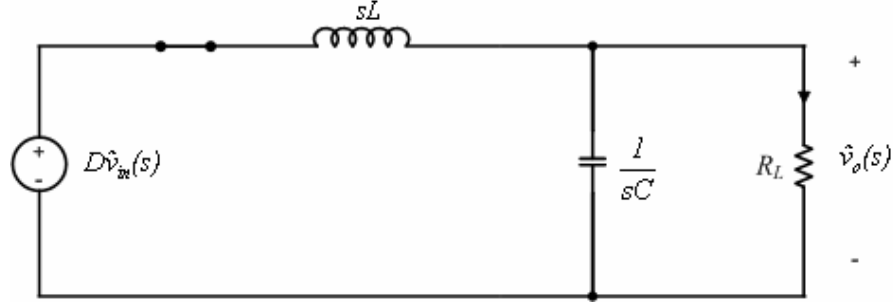
3.4.2 Çıkıştan girişe transfer fonksiyonunun elde edilmesi

Çıkıştan girişe transfer fonksiyonunu elde edebilmek için Şekil 3.7'deki eşdeğer devrede $\hat{d}(s)$ kontrol değişkenine bağlı kaynaklar, gerilim kaynakları kısa devre akım kaynakları ise açık devre yapılarak sıfıra eşitlenir ve devre Şekil 3.11'deki halini alır.



Şekil 3.11. Kontrol değişkeni $\hat{d}(s)$ 'ye bağlı kaynakları sıfıra eşitlenmiş küçük sinyal eşdeğer devresi

$\hat{v}_{in}(s)$ kaynağının sekonder tarafına aktarılmasıyla Şekil 3.12 oluşur;



Şekil 3.12. Primerden sekondere aktarım

Böylece çıkıştan girişe transfer fonksiyonu;

$$\hat{v}_o(s) = \frac{Z_2}{Z_2 + Z_1} D \hat{v}_{in}(s)$$

Burada;

$$Z_2 = R_L \parallel \frac{1}{sC}, \quad Z_1 = sL$$

olarak yerlerine konursa;

$$G_{vi}(s) = \left. \frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \right|_{\substack{\hat{q}=0 \\ i_{LOAD}=0}} = D \frac{R_L \parallel \frac{1}{sC}}{\left(R_L \parallel \frac{1}{sC} \right) + sL} = D \frac{1}{1 + s \frac{L}{R_L} + s^2 LC} \quad (3.39)$$

elde edilir. Çıkıştan kontrole transfer fonksiyonunda olduğu gibi çıkış kapasitansının eşdeğer seri direnci (ESR) ve endüktans DC direnci (DCR) ile anahtarlama elemanlarının üzerindeki dirençlerin seri eşdeğeri R' 'nin hesaba katılması ile transfer fonksiyonu aşağıdaki şekilde oluşturulur.

$$G_{vi}(s) = \left. \frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \right|_{\substack{\hat{q}=0 \\ i_{LOAD}=0}} = D \frac{R_L \parallel Z_C}{\left(R_L \parallel Z_C \right) + (R + sL)} = D \frac{Z_C R_L}{(R + sL)(Z_C + R_L) + Z_C R_L} \quad (3.40)$$

Burada kapasitörlerin eşdeğer seri endüktansları (ESL) çok küçük olduğundan ihmal edilerek, kapasitör branşlarının eşdeğeri yerine koyulursa çıkıştan girişe transfer fonksiyonu aşağıdaki şekilde hesaplanabilir.

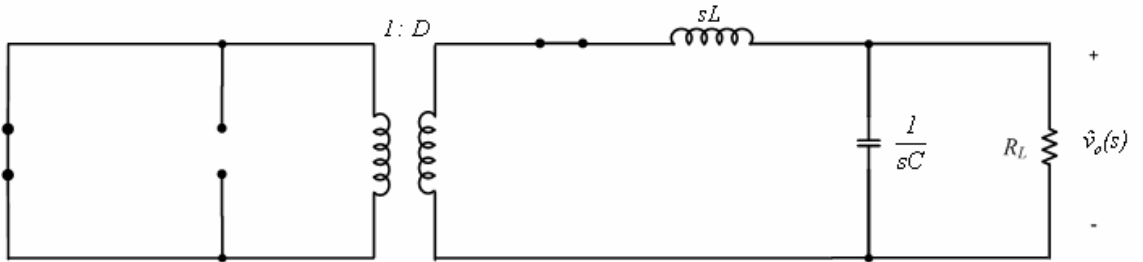
$$G_{vi}(s) = D \frac{(sR_{ESR}C + 1)}{s^2LC\left(\frac{R_L + R_{ESR}}{R_L}\right) + s\left[R_{ESR}C\left(\frac{R + R_L}{R_L}\right) + \frac{L}{R_L} + RC\right] + \left(\frac{R + R_L}{R_L}\right)} \quad (3.41)$$

Standart formu:

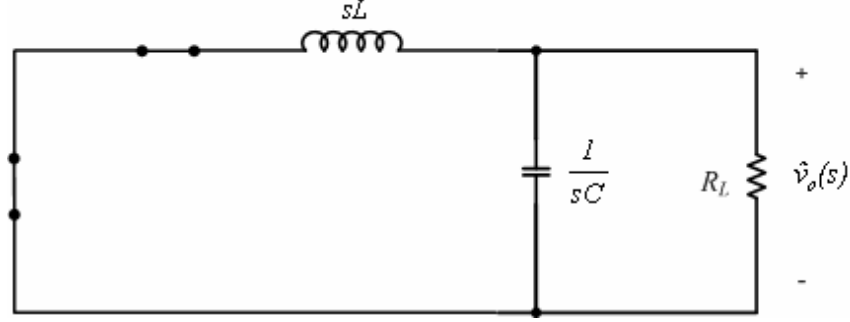
$$G_{vi}(s) = D\left(\frac{R_L}{R + R_L}\right) \frac{(s/\omega_{ESR} + 1)}{(s^2/\omega_o^2) + s/(Q\omega_o) + 1} \quad (3.42)$$

3.4.3 Çıkış empedansı transfer fonksiyonunun elde edilmesi

Çıkış empedansının transfer fonksiyonunu elde edebilmek için Şekil 3.7'deki eşdeğer devrede $\hat{v}_{in}(s)$ giriş gerilimi ve $\hat{d}(s)$ kontrol değişkenine bağlı kaynaklar kısa/açık devre yapılarak sıfıra eşitlenirse devre Şekil 3.13'teki halini alır;



Şekil 3.13. $\hat{v}_{in}(s)$ ve $\hat{d}(s)$ 'ye bağlı kaynakları sıfıra eşitlenmiş küçük sinyal eşdeğer devresi



Şekil 3.14. Primerden sekondere aktarım

$$Z_{out}(s) = \left. \frac{\hat{v}_o(s)}{\hat{i}_{Load}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{v}_{in}=0}} = R_L \parallel \frac{1}{sC} \parallel sL = \frac{sL}{1 + s\frac{L}{R_L} + s^2LC} \quad (3.43)$$

Çıkış kapasitansının eşdeğer seri direnci (ESR) ve endüktans DC direnci (DCR) ile anahtarlama elemanlarının üzerindeki dirençlerin seri eşdeğeri R hesaba katıldığında çıkış empedansı aşağıdaki şekilde oluşturulur.

$$Z_{out}(s) = \left. \frac{\hat{v}_o(s)}{\hat{i}_{Load}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{v}_{in}=0}} = R_L \parallel Z_C \parallel (sL + R) \quad (3.44)$$

Burada kapasitörlerin eşdeğer seri endüktansları (ESL) çok küçük olduğundan ihmal edilerek, kapasitör branşlarının eşdeğeri yerine koyulursa çıkış empedansı aşağıdaki şekilde hesaplanabilir.

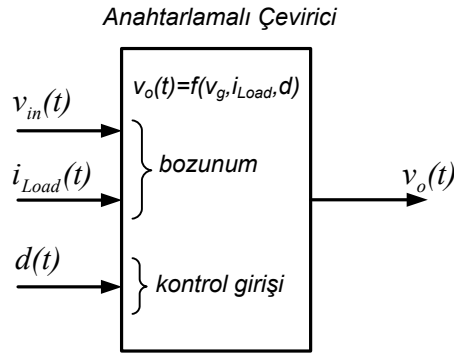
$$Z_{out}(s) = \frac{R\left(\frac{sL}{R} + 1\right)(sR_{ESR}C + 1)}{s^2LC\left(\frac{R_L + R_{ESR}}{R_L}\right) + s\left[R_{ESR}C\left(\frac{R + R_L}{R_L}\right) + \frac{L}{R_L} + RC\right] + \left(\frac{R + R_L}{R_L}\right)} \quad (3.45)$$

BÖLÜM 4

KONTROL SİSTEMİ MİMARİSİ, ANALİZİ VE TASARIMI

4.1 Giriş

Bu bölümde, tasarlanan senkronize alçaltıcı çevirici çıkış geriliminin istenen gerilim regülasyonu ve dinamik cevap süresini sağlayacak analog kontrol parametreleri elde edilecektir. Daha sonra elde edilen analog kontrol parametreleri kullanılarak çeviricinin dijital kontrolü için gerekli olan katsayılar elde edilecektir.



Şekil 4.1. Çeviricinin giriş ve çıkış değişkenleri.

Anahtarlamaalı çeviricinin çıkış gerilimi, Şekil 4.1'de görüldüğü gibi görev periyodu (d), giriş gerilimi (v_{in}), ve yük akımına (i_{load}) göre değişir. Amaç giriş gerilimi ve yük akımındaki değişimlere rağmen çıkış voltajının sabit tutulmasıdır ($v_o(t) = V_o$). Bu nedenle görev periyodunun sabit bir değeri ile çıkış voltajının tüm koşullar altında sabit tutulabilmesi beklenmez. Görev periyodunun, istenilen çıkış voltajını yükteki değişimlere ve devre elemanlarının toleranslarına rağmen kabul edilebilir limitler dahilinde sabit tutabilmek için otomatik olarak ayarlanabilmesi negatif geri besleme ile sağlanır (Erickson, 1997).

4.2 Negatif Geri Beslemenin Transfer Fonksiyonu Üzerindeki Etkisi

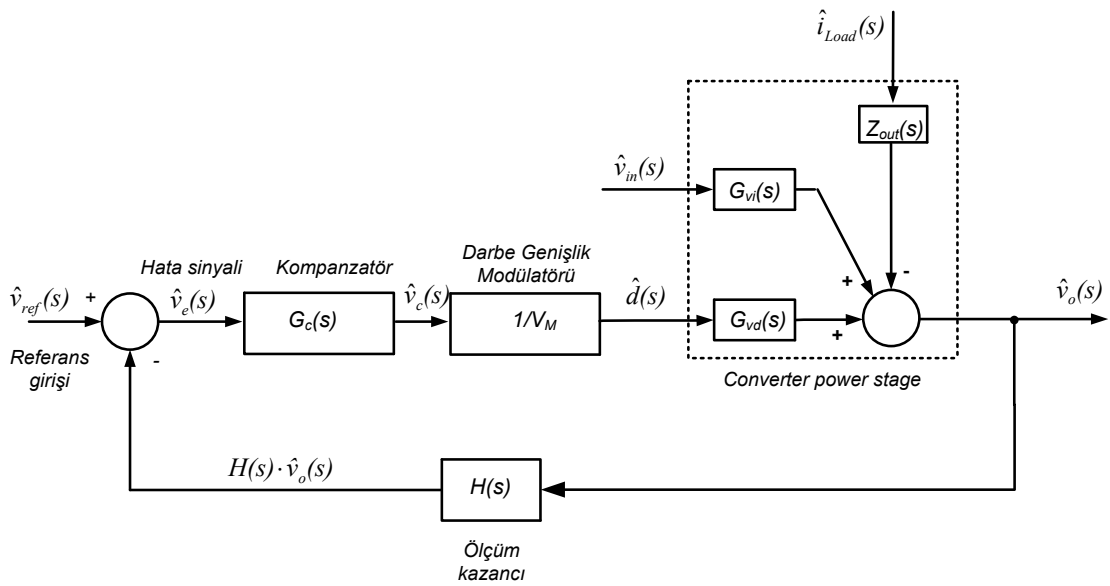
Çeviricinin negatif geri besleme olmaksızın açık çevrim çalışması durumunda çıkış voltajı Bölüm 3'te oluşturulmuş olup denklem (4.1)'de gösterilmiştir.

$$\hat{v}_o(s) = G_{vd}(s)\hat{d}(s) + G_{vi}(s)\hat{v}_{in}(s) \pm Z_{out}(s)\hat{i}_{Load}(s) \quad (4.1)$$

Burada;

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\substack{\hat{v}_{in}=0 \\ \hat{i}_{Load}=0}}, \quad G_{vi}(s) = \left. \frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{i}_{Load}=0}}, \quad Z_{out}(s) = \left. \frac{\hat{v}_o(s)}{\hat{i}_{Load}(s)} \right|_{\substack{\hat{d}=0 \\ \hat{v}_{in}=0}}$$

açık çevrim devrenin transfer fonksiyonları olup, denklem (4.1)'den de görüleceği gibi görev periyodu (d), giriş gerilimi (v_{in}) ve çıkış akımı (i_{load})'da meydana gelen değişiklikler çıkış voltajı üzerinde etkilidir. Negatif geri besleme ile arzu edilen, çıkışın belirtilen giriş değişkenlerine karşı hassasiyetlerini azaltmaktır. Bunun için kapalı çevrim sistemin küçük sinyalli işaretler için blok diyagramı Şekil 4.2'de gösterilmiştir (Erickson, 1997).



Şekil 4.2. Kapalı çevrim çeviricinin küçük sinyalli işaretler için blok diyagramı

Şekil 4.2'deki geri besleme döngüsünden;

$$\hat{d}(s) = [\hat{v}_{ref} - \hat{v}_o(s)H(s)]G_c(s)\frac{I}{V_M},$$

denklem (4.1)'de yerine konur ve \hat{v}_o için tekrar yazılırsa:

$$\hat{v}_o = \hat{v}_{ref} \frac{G_c G_{vd} / V_M}{1 + H G_c G_{vd} / V_M} + \hat{v}_{in} \frac{G_{vi}}{1 + H G_c G_{vd} / V_M} \pm \hat{i}_{Load} \frac{Z_{out}}{1 + H G_c G_{vd} / V_M} \quad (4.2)$$

$T(s) = H(s)G_c(s)G_{vd}(s)/V_M$ olarak alınır;

$$\hat{v}_o = \hat{v}_{ref} \frac{I}{H} \frac{T}{1+T} + \hat{v}_{in} \frac{G_{vi}}{1+T} \pm \hat{i}_{Load} \frac{Z_{out}}{1+T} \quad (4.3)$$

elde edilir. Burada $T(s) = H(s)G_c(s)G_{vd}(s)/V_M$ “çevrim kazancı” (loop gain) olarak adlandırılır. Çevrim kazancı $T(s)$ negatif geri besleme döngüsü üzerindeki kazançların toplamıdır. Burada çeviricinin çıkıştan istenilen dinamik cevabı elde etmesi için $G_c(s)$ istenilen şekilde ayarlanarak tasarım gerçekleştirilir. Negatif geri besleme sonucu elde edilen transfer fonksiyonunda, giriş değişkenleri tek tek incelenecektir.

4.2.1 Giriş salınımların çıkışa olan etkisinin azaltılması

Açık çevrim transfer fonksiyonu $G_{vi}(s) = \left. \frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \right|_{\hat{d}=0, \hat{i}_{Load}=0}$

Negatif geri besleme eklendiğinde;

Kapalı çevrim transfer fonksiyonu
$$\frac{\hat{v}_o(s)}{\hat{v}_{in}(s)} \Big|_{\substack{\hat{v}_{ref}=0 \\ \hat{i}_{Load}=0}} = \frac{G_{vi}(s)}{1+T(s)}$$

Sonuç olarak v_{ref} ve i_{Load} sabit iken, giriş gerilimindeki değişimlerin çıkışa olan etkisi negatif geri besleme ile $\frac{1}{1+T(s)}$ oranında azaltılmış olur.

4.2.2 Akımdaki salınımların çıkışa olan etkisinin azaltılması

Açık çevrim çıkış empedansı
$$Z_{out}(s) = \pm \frac{\hat{v}_o(s)}{\hat{i}_{Load}(s)} \Big|_{\substack{\hat{d}=0 \\ \hat{v}_{in}=0}}$$

Negatif geri besleme eklendiğinde çıkış empedansı:

Kapalı çevrim çıkış empedansı
$$\frac{\hat{v}_o(s)}{\pm \hat{i}_{Load}(s)} \Big|_{\substack{\hat{v}_{ref}=0 \\ \hat{v}_{in}=0}} = \frac{Z_{out}(s)}{1+T(s)}$$

Sonuç olarak v_{ref} ve v_{in} sabit iken, yükteki değişimlerin çıkışa olan etkisi $\frac{1}{1+T(s)}$ oranında azaltılmış olur. Bu da bir çevirici için istenen bir özelliktir. Eğer $T(s)$ 'nin değeri büyük ise çıkış empedansı önemli ölçüde küçülür.

4.2.3 Referans girişindeki salınımların çıkışa olan etkisinin azaltılması

Geri beslemenin çıkıştan referans voltajına transfer fonksiyonuna olan etkisi ise, referans girişindeki değişimlerin çıkışa olan etkisini azaltmaktır.

$$\frac{\hat{v}_o(s)}{\hat{v}_{ref}(s)} \Big|_{\substack{\hat{v}_{in}=0 \\ \hat{i}_{Load}=0}} = \frac{1}{H(s)} \frac{T(s)}{1+T(s)}$$

Eğer çevrim kazancı büyük ise $\frac{T(s)}{1+T(s)}$ değeri yaklaşık 1 olur. Bu durumda;

$$\frac{\hat{v}_o(s)}{\hat{v}_{ref}(s)} \cong \frac{1}{H(s)}$$

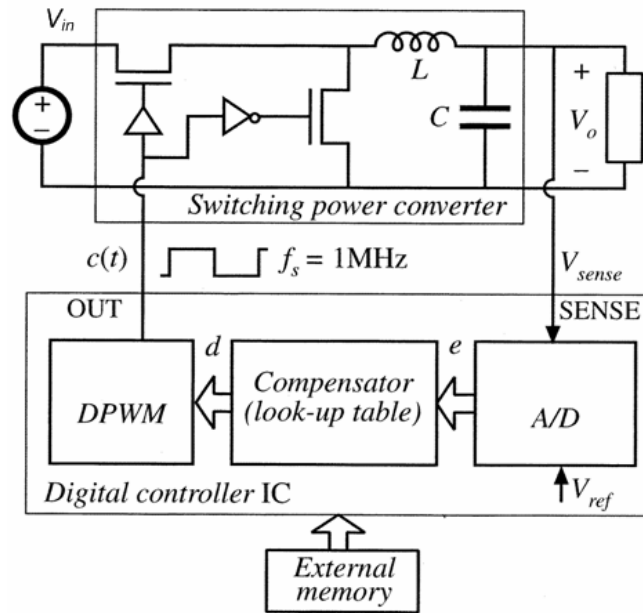
çıkışın referans girişine oranının sistemden bağımsız olduğu görülmektedir. Sonuç olarak i_{load} ve v_{in} sabit iken, referans voltajındaki değişimlerin çıkışa olan etkisi I/H oranında azaltılmış olur

DC-DC çeviricilerde, T çevrim kazancının düşük frekanslarda yüksek, yüksek frekanslarda düşük olduğu düşünüldüğünde, düşük frekanslarda referans voltajındaki salınımların çıkışa olan etkisi I/H oranında azaltılmış olur. Yüksek frekanslarda sistemin referans voltajından etkilenme oranı daha da düşer.

Sonuç olarak yapılan negatif geri besleme ile çıkış voltajının en kısa sürede, osilasyona girmeden, kabul edilebilir bir hata payı içerisinde kararlı hal durumuna gelmesini sağlayabilmek için, kapalı çevrim döngüsündeki kompanzatörün istenilen dinamik performansı sağlayacak şekilde ayarlanması gerekir. Kompanzatör tasarımı analog olarak işlemsel kuvvetlendirici (op-amp) ile uygun değerlerde direnç-kapasitör grubu kullanılarak yapılabileceği gibi, dijital olarak da yapılabilir. Bu tez çalışmasında dijital kontrol amacıyla tasarlanan Texas Instrument (TI) imali UCD9112 dijital PWM kontrolör ile senkronize DC-DC alçaltıcı çevirici tasarımı gerçekleştirilmiştir.

4.3 Dijital Kontrol Yaklaşımı

Dijital kontrollü çevirici mimarisinde güç katının dışındaki ana yapılar Şekil 4.3'de görüldüğü gibi A/D çevirici, kompanzatör ve dijital darbe genişlik modülatörü (digital pulse width modulator-DPWM)'dir. Bu yapılar istenilen çıkış voltaj regülasyonu, yüksek hızlı dinamik cevabı ve harici pasif devre elemanlarına ihtiyaç duymadan programlanabilme özelliğini karşılayabilecek özellikte olmalıdırlar (Patella, et al., 2003).

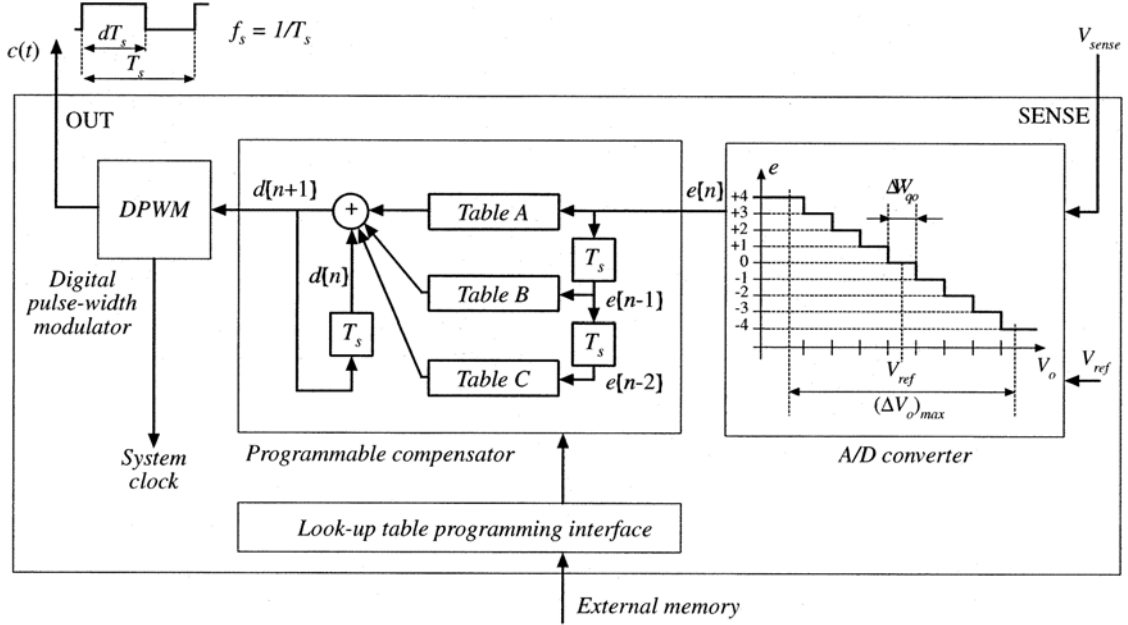


Şekil 4.3. Dijital kontrollü DC-DC alçaltıcı çevirici blok diyagramı

Dijital kontrolörlerin DC-DC çeviricilerdeki bir çok avantajının yanında, değişik analiz, dizayn ve geliştirme olanakları da vardır. Kompanzasyon ve koruma özelliklerinin programlanabilir olması ile pasif devre elemanları ve bunların ayarlanmasına gerek kalmamıştır. Sonuçta, aynı dijital kontrol donanımı ve güç katı devre elemanları ile değişik çevirici konfigürasyonları oluşturulabilmektedir.

Dijital kontrolün bir diğer avantajı ise dizayn sürecini kolaylaştıracak ve kısaltacak dizayn araçlarının mevcut olmasıdır. İstenilen devrenin tasarımı Hardware Description Language (HDL) kullanılarak fonksiyonel olarak tanımlanabilmekte, gerçekleştirilen tasarımın simülasyon ile doğrulaması ve gerçek zamanlı olarak testi yapılabilmektedir.

Genel olarak bir çeviricide kontrolörün amacı çıkış voltajını sabit bir referans voltajına göre regüle ederek, giriş voltajı, yük akımı ve sıcaklık değişimlerine karşı limitler içerisinde kalmasını sağlamaktır. Basitçe voltaj mod PWM kontrol metodu, çıkış voltajının referans voltajı ile karşılaştırılması, elde edilen hata sinyalinin değerine göre kompanzator tarafından oluşturulan çıkışın darbe genişlik modülatörü vasıtası ile sabit anahtarlama frekansında ayarlanabilen görev periyodu sinyaline dönüştürülmesi şeklindedir. Dijital kontrol mimarisi ile gerçekleştirilmiş bir voltaj mod PWM kontrol şeması Şekil 4.4'te gösterilmiştir (Patella, et al., 2003).



Şekil 4.4. Dijital voltaj mod PWM kontrolör mimarisi (Patella, et al., 2003).

$H=1$ olduğunu kabul edersek, çıkış gerilimi, analog-dijital (A/D) çevirici tarafından $e[n]$ dijital hata sinyalini üretmek için örneklendir. Örnekleme her T_s anahtarlama periyodunda bir yapılır. Burada n mevcut anahtarlama periyodunu göstermektedir. Şekil 4.4'te görülen A/D çevrim karakteristiğini doğrulamak için, tipik gerilim düzenleme gereksinimlerini incelemek yararlı olacaktır. Dinamik gerilim düzenleme gereksinimine göre $v_o(t)$ daima (ani yük ve giriş gerilimi değişimleri dahil) $v_{ref} - (\Delta v_o)_{max}/2$ ile $v_{ref} + (\Delta v_o)_{max}/2$ arasında olmalıdır. Aksi halde A/D çevirici doyuma girer. Ayrıca kararlı hal durumunda DC çıkış gerilimi küçük toleranslarla referans gerilimine eşit olacaktır, $v_o = v_{ref} \pm \Delta v_o/2$. Bu gereksinimleri karşılamak için, A/D çeviricinin LSB (least significant bit) değerinin analog karşılığı olan v_q , Δv_o 'dan küçük olmalıdır (Prodic, et al., 2001). Pratikte, Δv_o öyle küçüktür ki, hata sinyali $v_{ref} - v_o$ 'ı göstermek için çok az dijital değerlere ihtiyaç duyulur. Örneğin, Şekil 4.4'te hata sinyalinin dijital gösterimi -4 ila +4 arasındaki 9 muhtemel değerden biridir. (Uygulamada kullandığımız UCD9112 dijital PWM kontrolöründe -8 ila +8 arasındaki 17 muhtemel değer alınmaktadır.) Çıkış gerilimini düzgün tutmak için, A/D çeviricinin, kaliteli bir çözünürlüğe ihtiyaç duymasına rağmen, genellikle dijital hata sinyali $e[n]$ 'yi göstermek için çok az bit yeterli olur.

Hata sinyalinin birkaç bitle gösterimi A/D çeviricinin gereksinimlerini hafifletirken, sıradaki diğer yapı bloğu olan kompanzatörün daha basit olarak gerçekleştirilmesini de sağlar. Kompanzatörün amacı mevcut hata sinyali $e[n]$ ve önceki ($e[n-1]$, $e[n-2]$) hata sinyali örneklerini alarak, değişken görev periyodunun yeni değerinin hesaplamasını sağlamaktır. Kompanzatördeki hesaplama, dijital kontrol teorisine göre tasarlanabilir. Bununla birlikte, doğrusal kontrol kanunlarının standart uygulanması için dijital toplayıcılar ve dijital çarpıcılara ihtiyaç duyulur, bu da pratik entegre oluşturulmasında ilave yer ve ilave clock frekansı ihtiyacı doğurur. Hata sinyali e 'nin çok az bit ile gösterilmesini lehimize kullanarak, gerekli hesaplamayı Şekil 4.4'te görülen üç adet "look-up tablosu" ve bir adet toplayıcı ile yapabiliriz. Dijital hata sinyalinin mevcut ve önceki değerleri tablolarda ilgili konumları gösteren adresler gibi davranır. Hata sinyali e , çok farklı değerler almayacağı için tablolardaki değerler fazla değildir. (UCD9112'de $17 \times 3 = 51$ adres) İlave olarak hesaplama birkaç clock periyodu içinde gerçekleşeceğinden, clock frekansı ihtiyacı da düşüktür.

"Look-up tablosu" kompanzatörü, değişik kontrol kanunlarını uygulamak için, tablolardaki katsayılar değiştirilerek kolayca programlanabilir. Şekil 4.4'teki konfigürasyon tarafından desteklenen en genel kontrol kanunu aşağıdadır.

$$d[n+1] = d[n] + \alpha(e[n]) + \beta(e[n-1]) + \gamma(e[n-2])$$

Burada $\alpha(\cdot)$, $\beta(\cdot)$, ve $\gamma(\cdot)$ dijital hata sinyalinin doğrusal veya doğrusal olmayan fonksiyonlarıdır. Çeşitli kontrol kanunları uygulanabilir. Örneğin

$$d[n+1] = d[n] + ae[n] + be[n-1] + ce[n-2]$$

Burada ise a , b , c sabit değerler olup, basit bir PID kontrolörü temsil eder. "Look-up tablosu" tabanlı kontrolör uygulamalarında, istenen kapalı çevrim bant genişliği ve yeterli faz marjını (phase margin) elde edebileceğimiz a , b ve c katsayıları belirlendikten sonra, bu katsayıların çarpımları da hata sinyali e 'nin tüm muhtemel değerleri için önceden hesaplanarak tablo içine dahil edilir. Başlangıçta tüm tablolar harici bellekten yüklenir. Harici belleğe alternatif olarak, tasarımda değerler entegre

içine yazılabilir veya çalışma esnasında uygun bir arabirim aracılığı ile programlanabilir.

Dijital kontrol mimarisinin son bloğu DPWM, görev periyodu d 'nin dijital değerini alır ve güç çeviricisindeki anahtarlama elemanlarını kontrol eden $c(t)$ sinyali üretir. İstenen yüksek anahtarlama frekansındaki çalışmayı ve düzgün çıkış gerilimini sağlamak için, yüksek çözünürlüklü, yüksek frekanslı bir DPWM'e ihtiyaç vardır (Patella, et al., 2003).

4.4 UCD9112 Digital PWM Kontrolörü

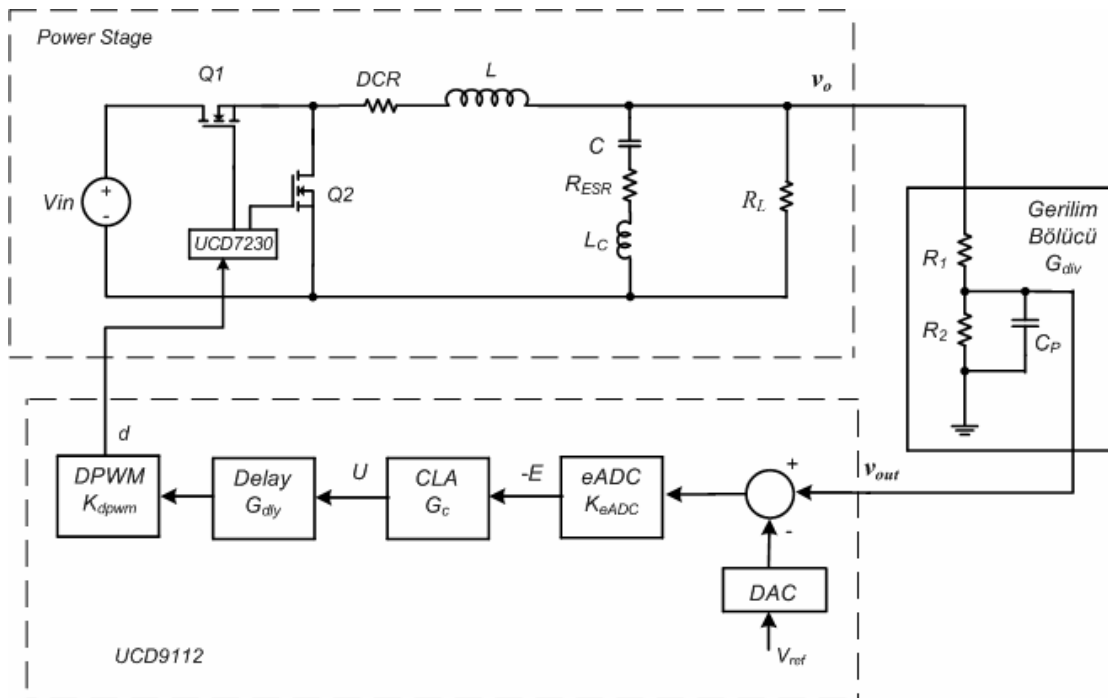
UCD9112 dijital PWM kontrolörü çeşitli tipteki güç kaynağı uygulamaları için yüksek performanslı dijital kontrol çözümleri sağlar. UCD9112 dijital PWM kontrolörü, 1 MHz'e kadar PWM frekanslarında çalışan, yüksek bant genişlikli güç uygulamaları için dizayn edilmiştir. UCD9112 dijital PWM kontrolörünün özellikleri arasında, 50 ns'lik yakalama (acquisition) zamanına sahip diferansiyel eADC (error ADC), iki adet programlanabilir "look-up tablosu" tabanlı dijital PID kontrolör (control law accelerators -CLA) ve yüksek çözünürlüklü (saniyede 175 ps görev periyodu çözünürlüğüne sahip) dijital darbe genişlik modülatörü (DPWM) modülü vardır.

UCD9112 dijital PWM kontrolör, diğer sistem yönetim fonksiyonları için, 8 kanallı ve 10 bitlik Analog-Dijital Dönüştürücüye (ADC), 24 genel amaçlı giriş-çıkış portuna, 4-MHz'lik bir mikroişlemci çekirdeğine, gömülü bir osilatöre ve ayrıca UART, SMBus ve PMBus gibi haberleşme protokollerini içeren çevre arabirimlerine sahip bir entegredir. Bu çevre arabirimleri, dijital kontrolün olanakları ile güç kaynağı tasarımcılarına düşük maliyetli, yüksek bant genişlikli ve yüksek frekanslı güç kaynağı uygulamalarını gerçekleştirebilmesini sağlar.

Bir güç kaynağı kontrol döngüsünün dizaynında ilgili blokların dijital z- domeninde tasarımı yapılmadan önce, kontrol blokları ve buna bağlı kontrol parametrelerinin, analog kontrol tasarım yaklaşımı ile olgunlaştırılması ve daha sonra dijital kontrol tasarımının gerçekleştirilmesi uygulamada kolaylık sağlayan bir yöntemdir. DC-DC alçaltıcı çeviricinin istenilen performans kriterlerine göre kompanzatörün analog parametreleri belirlendikten sonra, uygun bir PID kontrol

fonksiyonu s domeninde oluşturulur. Bunu takiben, s domeninde oluşturulan PID kontrol fonksiyonu z domenine dönüştürülür. Dijital kontrol tasarımı için bu yaklaşım genel olarak benzetim yoluyla tasarım (design by emulation) olarak bilinir.

Şekil 4.5'te UCD9112 dijital PWM kontrolör tarafından kontrol edilen DC-DC çeviricinin basit bir şekli gösterilmektedir. UCD9112 PWM çıkışları, UCD7230 sürücü entegresi üzerinden alçaltıcı çevirici anahtarlamaya elemanlarını sürer (Choudhury, 2007).



Şekil 4.5. UCD9112 tabanlı dijital kontrollü DC-DC alçaltıcı çevirici devresi

Dijital PWM kontrolör, güç kaynağı çıkışını ölçer ve çeviricinin voltaj-mod kontrol döngüsünü meydana getirir. Şekil 4.5'te eADC, "look-up tablosu" tabanlı dijital PID kontrolör (CLA) ve DPWM modül kazançları sırasıyla, K_{eADC} , G_c ve K_{dpwm} olarak gösterilmektedir. G_{dly} , dijital kontrol döngüsündeki hesaplama gecikmesi ve örnekleme etkilerini dikkate alan hesaplama-gecikme bloğunun kazancını gösterir. Anlık çıkış voltajı, gerilim bölücü devre tarafından düzenlenir ve eADC yoluyla UCD9112 dijital PWM kontrolörün girişine uygulanır. eADC, $E = V_{out} - V_{ref}$ olarak tanımlanan E hata voltajını ölçer. $+E = V_{out} - V_{ref}$ gibi pozitif bir hata için, kompanzator (CLA), look up tablosu sütunundaki E hatasına karşılık gelen değer ters işaretlisini kontrol çıkışı olarak üretir. Böylece dijitalleştirilmiş $-E$ hata sinyali CLA'nın girişine uygulanır. CLA

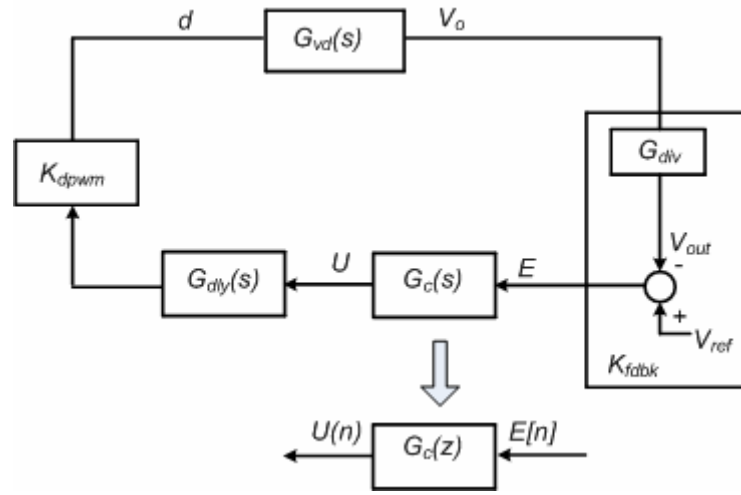
katsayıları, ölçeklendirilmiş çıkış voltajının, referans voltajını izlemesi ve aynı zamanda istenen dinamik performansı sağlaması için tasarlanır. Yukarıda da anlatıldığı gibi burada amaç, istenilen dinamik cevabı verebilecek PID kontrol yaklaşımına göre hesaplanmış CLA katsayılarının elde edilebilmesidir (Choudhury, 2007). Tablo 4.1’de kontrol döngüsü blokları kısaca açıklanmıştır.

Tablo 4.1. Kazanç blokları

KAZANÇ	TANIMLAMA	DEĞER
G_{plant}	Anahtarlama elemanları, LC çıkış filtresi ve yükten oluşan güç kademesi devresi için transfer fonksiyonu.	Sürekli zaman (s-domeni) transfer fonksiyonu kullanıcı tarafından girilen değerlere göre hesaplanır.
G_{div}	v_{out} ölçüm bölücüsü ve bu bölücünün kapasitif filtre devresi için transfer fonksiyonu.	G_{plant} 'a benzer şekilde hesaplanır.
K_{eADC}	4-bitlik hata ADC'nin LSBs/V biriminden kazancı.	200 LSB/V (5 mV çözünürlük).
G_c	İkinci derece dijital filtrenin transfer fonksiyonu.	Frekans cevabı dijital filtrenin z-domeni transfer fonksiyonunda z yerine $e^{j\omega T}$ koyularak değerlendirilir.
G_{dly}	<ol style="list-style-type: none"> 1. Analog hata sinyalinin dijital hale dönüştürülmesi ve bu dijital bilginin CLA içinde işlenmesi sırasında meydana gelen gecikme nedeniyle oluşan faz gecikmesi. 2. Darbe genişliği ve çoklu güç kademeleri arasındaki faz kayması nedeniyle oluşan faz kayması. 	Programlanabilir hata ADC'nin örnekleme tetikleme zamanı cinsinden tanımlanır.
K_{dpwm}	Dijital PWM'in kazancı.	
K_{DAC}	10-bitlik Vref DAC'ın kazancı.	2.39 mV çözünürlük.

4.5 Dijital Kontrolör Tasarımı

Dijital kontrolör için tasarım yaklaşımı, benzetim yoluyla tasarım (design by emulation) veya dijital yeniden tasarım (digital redesign approach) olarak bilinir. Bu yöntemde, bir analog kontrolör, sürekli-zaman kontrol sistemi tasarlanıyormuş gibi sürekli-zaman domeninde tasarlanır. Analog kontrolör, daha sonra, yaklaşım tekniği kullanılarak ayrık-zaman kompanzatorüne dönüştürülür. Şekil 4.6, Şekil 4.5'deki sistemin basitleştirilmiş bir blok diyagramını temsil eder (Choudhury, 2007).



Şekil 4.6. DC-DC çevirici kontrol döngüsünün s-domenindeki blok diyagramı

4.5.1 Güç katı modeli G_{vd}

3. bölümde güç katının çıkıştan kontrole transfer fonksiyonu detaylı bir şekilde anlatılmış olup bu bölümde bahsedilmeyecektir.

4.5.2 Çıkış voltajı hissedici kazancı (K_{fabk})

Şekil 4.6'de gösterilen çıkış voltaj hissedici kazancı K_{fabk} , çevirici çıkışından eADC çıkışına kadar olan kazancı modeller. Bu nedenle K_{fabk} , eADC dahili kazancı K_{eADC} ve çıkış voltajını ölçeklendirmek için kullanılan harici gerilim bölücü kazancı G_{div}

kazancını kapsar. Bu kazanç, eADC ve harici gerilim bölücü ayarlarıyla değişir ve şöyle tanımlanır;

$$K_{fdbk} = K_{eADC} \cdot G_{div} \quad (4.4)$$

Burada K_{eADC} 5 mV çözünürlüğe sahip 4 bitlik hata A/D çeviriciye sahip UCD9112 dijital PWM kontrolör için 200 LSBs/V olarak alınır ($K_{eADC} = 200$ LSBs/V).

UCD9112 dijital PWM kontrolör, referans voltajı olarak 2.39mV'luk çözünürlüğe sahip dahili 2.45V'luk bir voltaj kullanır. Bazı uygulamalarda, analog girişleri 0-2.45V aralığında tutabilmek için voltaj bölücü kullanmak gerekir. A/D çeviricinin doyuma girmemesi için referans sinyal ile karşılaştırılacak olan çıkış gerilimi 2.45 V'un altında olmalıdır. Bu nedenle çıkışta bir gerilim bölücü kullanılmalıdır. UCD912'nin EAP ve EAN uçları üzerinden diferansiyel olarak voltaj izlenir. Diferansiyel voltaj izleme kullanılarak ortak modlu gürültü etkin olarak azaltılır. Bu durumda gerilim bölücünün transfer fonksiyonu aşağıdaki şekilde elde edilir.

$$G_{div} = \frac{R_1 R_2 C_z s + R_2}{R_1 R_2 (C_z + C_p) s + R_1 + R_2} \quad (4.5)$$

Uygulama kartımızda $R_1=6.04 \text{ k}\Omega$, $R_2=10 \text{ k}\Omega$, $C_z=0$, $C_p=100 \text{ pF}$ olarak kullanılmıştır.

4.5.3 DPWM modülatör kazancı (K_{dpwm})

DPWM Modülatör Kazancı K_{dpwm} aşağıda gösterildiği gibi tanımlanır.

$$K_{dpwm} = \frac{1}{2^{n_{pwm}} - 1} \quad (4.6)$$

$$n_{pwm} = \log_2 \left(\frac{t_{pwm} \cdot 10^{12}}{175} \right) \quad (4.7)$$

Burada n_{pwm} , herhangi bir PWM frekansı için UCD9112 içindeki seçilmiş DPWM kanalının bit çözünürlüğüdür. UCD9112 dijital PWM kontrolörü, 175 ps'lik görev periyodu zaman çözünürlüğüne sahip yüksek çözünürlüklü PWM özelliğine sahiptir. Bu nedenle, PWM bit çözünürlüğü denklem (4.7)'de görüldüğü gibi hesaplanır. t_{pwm} , PWM anahtarlama frekansı f_{pwm} 'in saniye cinsinden zaman periyodudur.

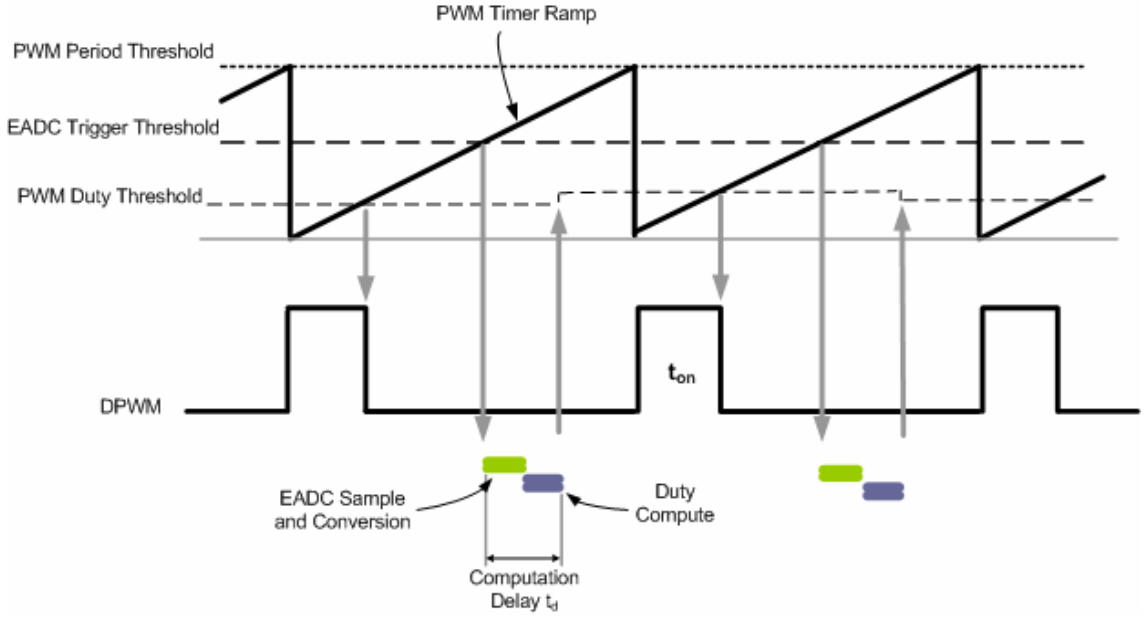
UCD9112 tabanlı dijital kontrolör katsayılarını hesaplamak için, başlangıçta $K_{fdbk}=1$ ve $K_{dpwm}=1$ olarak kabul edilir ve daha sonra analog PID kontrolör tasarlanır. Dijital PID katsayılarının başlangıç değerlerine karar verdikten sonra, geribesleme döngü kazancı eşitliğindeki K_{fdbk} ve K_{dpwm} 'in gerçek değerleri hesaba katılarak PID katsayılarının nihai değerleri elde edilir.

4.5.4 G_{dly} gecikmesinin hesaplanması

Analog hata sinyalinin dijital hale dönüştürülmesi ve bu dijital bilginin CLA içinde işlenmesi sırasında meydana gelen gecikme nedeniyle oluşan faz gecikmesi denklem (4.8)'de gösterilmiştir. Burada t_d Şekil 4.7'de gösterildiği gibi, eADC örnekleme ve CLA hesaplama zamanı gecikmelerinin toplamıdır. UCD9112 için bu gecikme zamanı yaklaşık olarak anahtarlama periyodunun 0.242 ile çarpımına eşittir (Choudhury, 2007; Texas Instrument, 2007, Fusion Digital Power Designer User's Guide).

$$G_{delay1}(s) = e^{-st_d} \quad (4.8)$$

$$t_d = 0.242 \cdot T_s$$



Şekil 4.7. UCD9112 dijital kontrol döngüsü hesaplama gecikmesi

t_{on} (DT_s) darbe genişliği güncellenmesi ve çoklu güç kademeleri arasındaki faz kayması nedeniyle oluşan gecikme ise denklem (4.9)'da gösterilmiştir.

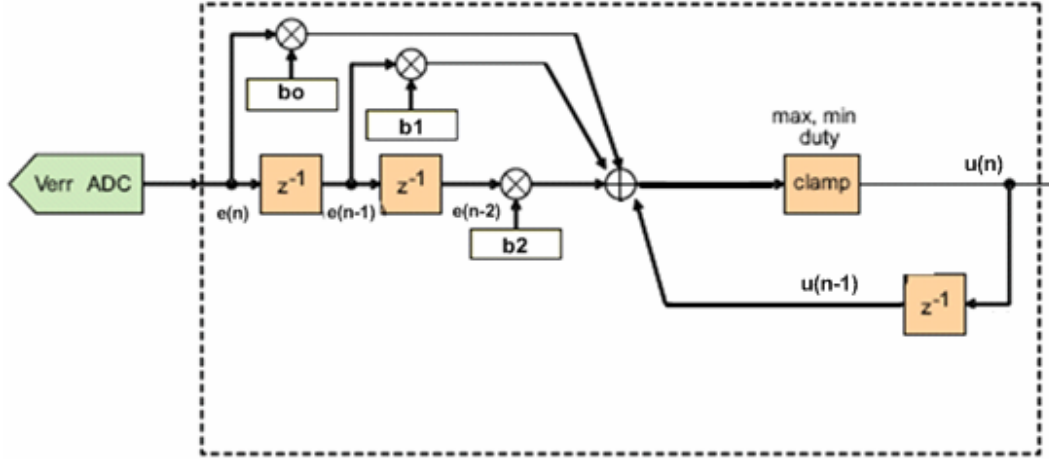
$$G_{delay2} = e^{-s(DT_s + T_{phase})} \quad (4.9)$$

$$T_{phase} = \frac{N_{phase} - 1}{2N_{phase}} T_s$$

4.5.5 Kompanzatörün tasarımı

Analog bir PWM kontrolörde, çıkış voltajını regüle etmek ve gerekli PWM sinyalinin darbe genişliğini hesaplamak için hata voltajı bir filtre devresiyle kompanze edilir ve PWM darbe sinyalini oluşturmak için bir rampa voltajıyla karşılaştırılır. Analog kontrol içerisindeki hata kuvvetlendirici (error amplifier), UCD9112 dijital PWM kontrolör içerisinde hata ADC (error ADC) ile değiştirilir ve hata sinyali bir dijital filtre ile kompanze edilir. Filtrenin çıkışı hata sinyalinin kompanze edilmiş halidir ve PWM darbe sinyalini oluşturmak için hızlı bir dijital sayıcı ile karşılaştırılır. Bu dijital filtre, ikinci derece “Infinite Impulse Response (IIR)” filtreden oluşur. Bu filtre

hata sinyaline 2 sıfır ve 1 kutuplu transfer fonksiyonunu uygulayarak hata voltajını kompanse eder. Bir bütün olarak kompanzasyon filtresi, Control Law Accelerator (CLA) olarak adlandırılır (Hagen, 2009).



Şekil 4.8. Dijital kompanzasyon filtresinin gerçekleştirilmesi

s-domenindeki analog kompanzasyon filtresinin fonksiyonu $G_c(s)$ 'nin z-domenindeki karşılığı, Şekil 4.6'da görüldüğü gibi $G_c(z)$ 'dir. Dijital kompanzasyon filtresi Şekil 4.8'de gösterilmiş olup, $G_c(z)$ 'nin transfer fonksiyonu aşağıdaki şekilde oluşturulur.

$$G_c(z) = \frac{U}{E} = \frac{b_0 z^2 + b_1 z + b_2}{z(z-1)} \quad (4.10)$$

$$\Rightarrow U(n) = U(n-1) + b_0 E(n) + b_1 E(n-1) + b_2 E(n-2) \quad (4.11)$$

Kompanzasyon filtresini kullanmak için b_0 , b_1 ve b_2 dijital filtre katsayılarının hesaplanması gerekir. UCD9112 dijital PWM kontrolör ile tipik bir senkronize alçaltıcı çevirici, aşağıda gösterildiği gibi bir DC kazanç, iki sıfır ve orijinde bir kutup ile kolayca kompanse edilebilir.

$$G_C(s) = K_{DC} \frac{\frac{s^2}{\omega_z^2} + \frac{s}{\omega_z Q} + 1}{s} \quad (4.12)$$

Kompanzasyon filtresinin tasarım parametrelerini girmek için üç adet yöntem vardır. Bunlar;

- İki gerçek sıfır ve kazanç,
- Rezonans frekansı (merkez frekansı), kalite faktörü (Q) ve kazanç,
- Orantısal, entegral ve türevsel kazanç.

Eğer sıfırlar kompleks değilse, F_{z1} ve F_{z2} gerçek frekanslar olarak tanımlanabilirler. Sıfırlar kompleks ise, sıfırları rezonans veya merkez frekansı F_z ve Q kalite faktörü ile tanımlamak daha kolaydır.

Compensator - Table 1 - Regulation		
<input type="radio"/> Real Zeros Only	<input checked="" type="radio"/> Complex or Real Zeros	<input type="radio"/> Continuous PID
K': 2,004E-3	K': 2,004E-3	Kp: 1,515E+2
Fz1: 10,163 kHz	Q: 0,362	Ki: 1,500E+6
Fz2: 1,866 kHz	Fz: 4,354 kHz	Kd: 2,004E-3

Şekil 4.9. Kompanzasyon kullanıcı arayüğü

Burada K' kazancı, kompanzator DC kazancına kontrol döngüsündeki K_{fdbk} ve K_{dpwm} kazançlarının eklenmiş halidir. Rezonans frekansı F_z ve kalite faktörü Q ile F_{z1} ve F_{z2} arasındaki ilişki aşağıdaki gibidir.

$$F_{z1} = \frac{F_z}{2Q} \left(1 - \sqrt{1 - 4Q^2} \right) \quad (4.13)$$

$$F_{z2} = \frac{F_z}{2Q} \left(1 + \sqrt{1 - 4Q^2} \right) \quad (4.14)$$

Kompanzatorün kompanzasyon parametreleri, orantısal, entegral ve türevsel kazanç olarak aşağıdaki gibi gösterilebilir.

$$G_c(s) = K_p + \frac{K_I}{s} + sK_D = \frac{K_D s^2 + K_p s + K_I}{s} \quad (4.15)$$

Denklem (4.12) ile denklem (4.15)'in karşılaştırılması ile PID kazançları aşağıdaki gibi tanımlanır.

$$K_p = \frac{K_{DC}}{\omega_z Q} \quad K_I = K_{DC} \quad K_D = \frac{K_{DC}}{\omega_z^2}$$

PID kazançlarının, diferansiyel kazanç K_{DC} , rezonans frekansı F_z ve kalite faktörü Q ile aşağıdaki gibi tanımlanabilir.

$$K_{DC} = K_I \quad F_z = \sqrt{\frac{K_I}{K_D}} \frac{1}{2\pi} \quad Q = \frac{\sqrt{K_I K_D}}{K_p}$$

Dijital PID kontrolörün b_0 , b_1 ve b_2 katsayılarını belirlemek için öncelikle sürekli-zaman PID kompanzatorü için bir şablon seçilir. Kompanzator, kompleks s-domeni sıfırlarıyla veya gerçek s-domeni sıfırlarıyla olmak üzere iki farklı şekilde oluşturulabilir.

4.5.5.1 Kompleks s-domeni sıfırları ile hesaplama

Kompleks s-domeni sıfırları olan PID kontrolörü:

$$G_c(s) = \frac{U}{E} = \frac{K_{DC}}{s} \left(\frac{s^2}{\omega_z^2} + \frac{s}{Q_C \omega_z} + 1 \right) = \frac{K_{DC}}{s \omega_z^2} (s + \alpha + j\beta)(s + \alpha - j\beta) \quad (4.16)$$

olarak yazılabilir. Kompleks s-domenindeki kompanzatorün kompleks sıfırları;

$$s_1 = -\alpha + j\beta \qquad s_2 = -\alpha - j\beta$$

olarak gösterilebilir. Bu kompleks sıfırların gerçek ve imajiner bölümleri

$$\alpha = \frac{\pi f_z}{Q_c} \qquad \beta = 2\pi f_z \sqrt{1 - \frac{1}{4Q_c^2}}$$

ile verilir.

Sıfır frekansı f_z , gerekli faz ilerlemesini (lead) sağlamak için LC alçak geçiren filtre köşe frekansının biraz altında seçilir. Q_c kompanzator kalite faktörü Q'nun, maksimum yük akımında güç katı Q'su ile mukayese edilebilir olması gerekir. Kompleks sıfır oluşabilmesi için $Q_c > 0.5$ şartı sağlanmalıdır. Kompanzatorün DC kazancı K_{DC} güç kaynağı kontrol döngüsünün istenen geçiş frekansını (crossover frequency) elde etmek için ayarlanır. İstenen geçiş frekansı f_{cov} olarak alındığında;

$$s_{cov} = j2\pi f_{cov}$$

Kapalı çevrim döngü kazancı geçiş frekansında bir'e eşittir (bode diyagramında sıfır geçiş noktası). Bu nedenle;

$$G_{vd}(s)|_{s=s_{cov}} \cdot G_c(s)|_{s=s_{cov}} = 1 \quad (4.17)$$

$$K_{DC} = \frac{s\omega_z^2}{(s + \alpha + j\beta)(s + \alpha - j\beta)} \Big|_{s=s_{cov}} \cdot \frac{1}{G_{vd}|_{s=s_{cov}}} \quad (4.18)$$

eşitliği ile K_{DC} hesaplanır. Bu hesaplama sırasında G_{dly} gecikme kazancının büyüklüğü ihmal edilmiştir.

4.5.5.2 Gerçek (Real) s-domeni sıfırları ile hesaplama

Gerçek (real) s-domeni sıfırları olan PID kontrolörü de benzer şekilde

$$G_{cr}(s) = \frac{U}{E} = \frac{K_{DC}}{s} (s + \omega_{z1})(s + \omega_{z2}) \quad (4.19)$$

olarak yazılabilir. Kompleks s-domenindeki kompanzatorün gerçekte (real) sıfırları

$$s_1 = -\omega_{z1} = -2\pi f_{z1} \quad s_2 = -\omega_{z2} = -2\pi f_{z2}$$

olarak gösterilebilir. f_{z1} ve f_{z2} kompanzator sıfır frekanslarının büyüklükleri genellikle gerekli faz ilerlemesini sağlamak için LC filtresinin köşe frekansının hafifçe altında seçilir. Bununla birlikte güç katı tasarımına bağlı olarak bu frekanslar istenen dinamik performansı sağlamak için farklı şekilde seçilebilir. Burada K_{DC} PID'in diferansiyel kazancını temsil eder. Bu kazanç, güç kaynağı kontrol döngüsünün istenen geçiş frekansını elde etmek için ayarlanır. f_{cov} , istenen geçiş frekansı olarak alındığında, K_{DC} gerekli kazancı

$$G_{vd}(s)|_{s=s_{cov}} \cdot G_{Cr}(s)|_{s=s_{cov}} = I \quad (4.20)$$

$$K_{DC} = \frac{s}{(s + \omega_{z1})(s + \omega_{z2})} \Big|_{s=s_{cov}} \cdot \frac{1}{G_{vd}|_{s=s_{cov}}} \quad (4.21)$$

denkleminde hesaplanır.

4.5.6 Dijital PID kontrolör $G_c(z)$

s-domeni PID kompanzator parametreleri (sıfır frekansları ve K_{DC} kazancı) seçildikten sonraki adım, UCD9112 dijital PWM kontrolörün CLA modülü için $G_c(s)$ 'nin dijital dönüşürülmesidir. Dijitale dönüştürmek için haritalama (mapping) yöntemi kullanılacaktır.

$$z = e^{st_s} \quad (4.22)$$

Burada t_s anahtarlama ve örnekleme periyodudur. UCD9112 dijital PWM kontrolör için örnekleme frekansı ve PWM frekansı daima aynıdır. Bu nedenle t_s PWM periyodu olan t_{pwm} 'e eşittir. Bu dönüşümü uygulayarak s domeni sıfır çifti s_1 ve s_2 , z domeni yerleri z_1 ve z_2 'ye uygun olarak yerleştirilir.

$$z_1 = e^{s_1 t_s} \quad z_2 = e^{s_2 t_s} \quad (4.23)$$

Daha önce bahsedilen s-domeni PID kontrolörün iki formu için, dijital PID kontrolör katsayıları, aşağıda açıklanan iki farklı yöntem ile hesaplanır.

4.5.6.1 Kompleks z-domeni sıfırları ile hesaplama

Kompleks s-domeni sıfırları olan PID kontrolör için uygun z-domeni sıfırları haritalama yöntemi ile,

$$z_1 = e^{-\alpha t_s + j\beta t_s} \quad z_2 = e^{-\alpha t_s - j\beta t_s}$$

şeklinde ölçeklendirilir. Bu sıfırları, polinomun kökleri olarak yazarsak,

$$(z - z_1)(z - z_2) = 0$$

$$z^2 - 2e^{-\alpha t_s} \cos(\beta t_s)z + e^{-2\alpha t_s} \quad (4.24)$$

z-domeni PID kompanzatorü ve kompanzatorün ayırık-zaman fark denklemi sırasıyla aşağıda gösterilmiştir.

$$G_C(z) = \frac{U}{E} = K_C \frac{z^2 + k_1 z + k_2}{z(z-1)} \quad (4.25)$$

$$U(n) = U(n-1) + K_C E(n) + K_C k_1 E(n-1) + K_C k_2 E(n-2) \quad (4.26)$$

Burada K_c , kompanzatörün kazancıdır. k_1 ve k_2 katsayıları kompanzatörün sıfırlarını belirler. Bu sıfırlar polinomun kökleri olarak yazılabilir ve denklem (4.24) ile kıyaslandığında, z-domeni PID katsayıları k_1 ve k_2 , s domeni PID parametrelerine göre tanımlanır.

$$z^2 + k_1 z + k_2 = 0$$

$$k_1 = -2e^{-\alpha t_s} \cos(\beta t_s) \quad k_2 = e^{-2\alpha t_s}$$

z-domeni PID kazancı K_c ise analog tasarım yaklaşımında olduğu gibi istenen geçiş frekansında $Gc(s)$ ve $Gc(z)$ 'in büyüklüklerinin aynı olduğu (genliğinin 1 olduğu) anda seçilir. Buna göre;

$$s_{cov} = j2\pi f_{cov} \quad z_{cov} = e^{j2\pi f_{cov} t_s}$$

alınırsa K_c ;

$$G_C(z)|_{z=z_{cov}} = G_C(s)|_{s=s_{cov}} \quad (4.27)$$

$$K_C = \frac{z(z-1)}{z^2 + k_1 z + k_2} \Big|_{z=z_{cov}} \cdot G_C(s)|_{s=s_{cov}} \quad (4.28)$$

hesaplanır.

Geçiş frekansı ihtiyaçları doğrultusunda K_c , k_1 ve k_2 PID katsayıları hesaplandıktan sonra K_{fdbk} ve K_{dpwm} 'in gerçek değerleri dikkate alınarak dijital kontrolör CLA katsayıları aşağıdaki şekilde hesaplanır.

$$b_0 = K_C / (K_{fdbk} K_{dpwm}) \quad (4.29)$$

$$b_1 = K_C k_1 / (K_{fdbk} K_{dpwm}) \quad (4.30)$$

$$b_2 = K_C k_2 / (K_{fdbk} K_{dpwm}) \quad (4.31)$$

4.5.6.2 Gerçek (Real) z-domeni sıfırları ile hesaplama

Gerçek (real) s-domeni sıfırları olan PID kontrolör için uygun z-domeni sıfırları haritalama yöntemi ile,

$$z_1 = e^{-\omega_{z1}t_s} \quad z_2 = e^{-\omega_{z2}t_s}$$

şekilde ölçeklendirilir. Bu sıfırları, polinomun kökleri olarak yazarsak,

$$(z - z_1)(z - z_2) = 0 \quad (4.32)$$

$$z^2 - (e^{-\omega_{z1}t_s} + e^{-\omega_{z2}t_s})z + e^{-(\omega_{z1} + \omega_{z2})t_s} = 0$$

z-domeni PID kompanzatoru ve kompanzatorun ayrık-zaman fark denklemi

$$G_{Cr}(z) = \frac{U}{E} = K_C \frac{z^2 + k_{1r}z + k_{2r}}{z(z-1)} \quad (4.33)$$

$$U(n) = U(n-1) + K_C E(n) + K_C k_{1r} E(n-1) + K_C k_{2r} E(n-2) \quad (4.34)$$

olarak yazılır. Bölüm 4.5.6.1'deki aynı prosedürü takip ederek, z-domeni PID katsayıları s-domeni PID parametrelerine dayanarak tanımlanır.

$$k_{1r} = -(e^{-\omega_{z1}t_s} + e^{-\omega_{z2}t_s}) \quad k_{2r} = e^{-(\omega_{z1} + \omega_{z2})t_s}$$

f_{cov} 'un geçiş frekansı için dijital PID kazancı K_{cr} :

$$K_{Cr} = \frac{z(z-1)}{z^2 + k_{1r}z + k_{2r}} \Big|_{z=z_{cov}} \cdot G_{Cr}(s) \Big|_{s=s_{cov}} \quad (4.35)$$

olarak hesaplanır.

Geçiş frekansı ihtiyaçları doğrultusunda K_{cr} , k_{1r} ve k_{2r} PID katsayıları hesaplandıktan sonra K_{fdbk} ve K_{dpwm} 'in gerçek değerleri dikkate alınarak dijital kontrolör CLA katsayıları aşağıdaki şekilde hesaplanır.

$$b_0 = K_{Cr} / (K_{fdbk} \cdot K_{dpwm}) \quad (4.36)$$

$$b_1 = K_{Cr} \cdot k_{1r} / (K_{fdbk} \cdot K_{dpwm}) \quad (4.37)$$

$$b_2 = K_{Cr} \cdot k_{2r} / (K_{fdbk} \cdot K_{dpwm}) \quad (4.38)$$

Dijital kontrolör CLA katsayıları ile dijital PID katsayıları arasındaki ilişki aşağıdaki şekildedir.

$$\begin{aligned} b_0 &= K_P + K_I + K_D & K_P &= 0.5(b_0 - b_1 - 3b_2) \\ b_1 &= -K_P + K_I - 2K_D & K_I &= 0.5(b_0 + b_1 - b_2) \\ b_2 &= K_D & K_D &= b_2 \end{aligned}$$

UCD9112'nin dijitale dönüştürülmüş 4 bitlik eADC çıkışı, -8 ile +8 arasında (sıfır dahil) 17 farklı seviyeden birini olabilir. Her bir muhtemel hata değeri CLA katsayılarıyla çarpılır ve hafızada saklanır. Bu nedenle, b_0 , en son hata olan $E(n)$ ile çarpılır ve 17 olası kombinasyon, CLA tablosunun bir sütunu olarak hafızada saklanır. CLA tablosunun ikinci ve üçüncü sütunları, her biri 17 girişe sahip sırasıyla $b1xE(n-1)$ ve $b2xE(n-2)$ çarpım terimlerini kapsar. Bu nedenle tam bir CLA tablosu, 51 çarpım terimine sahiptir.

BÖLÜM 5

KONTROL SİSTEMİNİN SİMÜLASYONU VE GERÇEKLENMESİ

Bu bölümde, bir önceki bölümlerde modellenmesi ve analizi yapılan dijital kontrol yaklaşımını kullanarak 12 V giriş gerilimi ve 500 kHz anahtarlama frekansı ile, çıkışta 1.8 V elde etmek için oluşturulan alçaltıcı bir çeviricinin kontrol parametreleri belirlenmiş ve kontrol gerçekleştirilmiştir. Bu gerçekleştirme için Texas Instrument imali UCD9112 dijital PWM kontrolör kullanılmış ve tasarım evresinde çeviricinin bode diyagramları oluşturulmuş ve kompanzatorün dijital kontrol için gerekli olan sayısal katsayıları hesaplanmıştır.

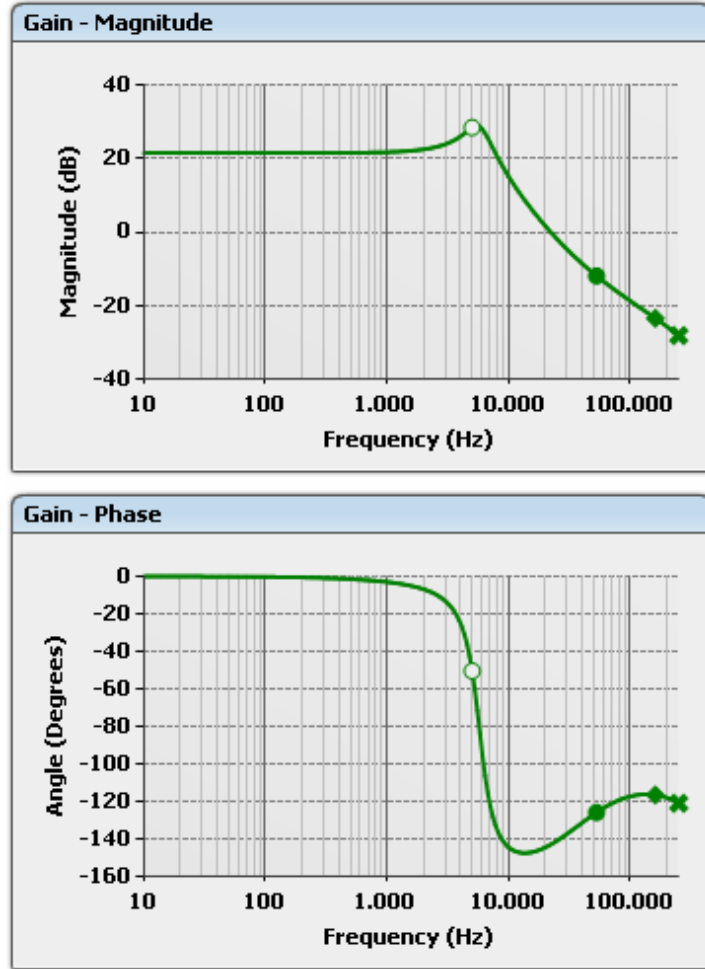
Tablo 5.1. Güç katı tasarım parametreleri

PARAMETRE	DEĞER	AÇIKLAMA
f_s	500 kHz	
V_{in}	12 V	
V_o	1.8 V	
I_{o_max}	40 A	Faz başına maksimum 20 A
$R_{DS-ON} (Q1)$	9 mΩ	FDMS8690 parça numaralı MOSFET'in iletim direnci
$R_{DS-ON} (Q2)$	2.2 mΩ	BSC022N03S parça numaralı MOSFET'in iletim direnci
L	0.5 μH	DCR = 1.1 mΩ, $I_{max} = 30$ A
$C1$	6 x 470 μF	$R_{ESR} = 10$ mΩ, $L_{ESL} = 1.5$ nH
$C2$	4 x 47 μF	$R_{ESR} = 2$ mΩ, $L_{ESL} = 0.8$ nH
$C3$	4 x 22 μF	$R_{ESR} = 2$ mΩ, $L_{ESL} = 0.8$ nH

5.1 UCD9112 Dijital PWM Kontrolörün Programlanması

Bir önceki bölümde açıklandığı gibi ilk olarak güç katının çıkıştan kontrole olan transfer fonksiyonu hesaplanmalıdır. Bunun için denklem (3.36)'ya göre Tablo 5.1'de

belirtilen güç katı parametreleri girilerek çıkıştan kontrole transfer fonksiyonu $G_{vd}(s)$ oluşturulur. Oluşturulan çıkıştan kontrole transfer fonksiyonu $G_{vd}(s)$ boyutunun büyük olması nedeniyle Ek-A'da verilmiştir. Çıkıştan kontrole transfer fonksiyonu $G_{vd}(s)$ 'nin bode diyagramı Şekil 5.1'de gösterilmiştir.



Şekil 5.1. Çıkıştan kontrole açık çevrim transfer fonksiyonu $G_{vd}(s)$ bode diyagramı

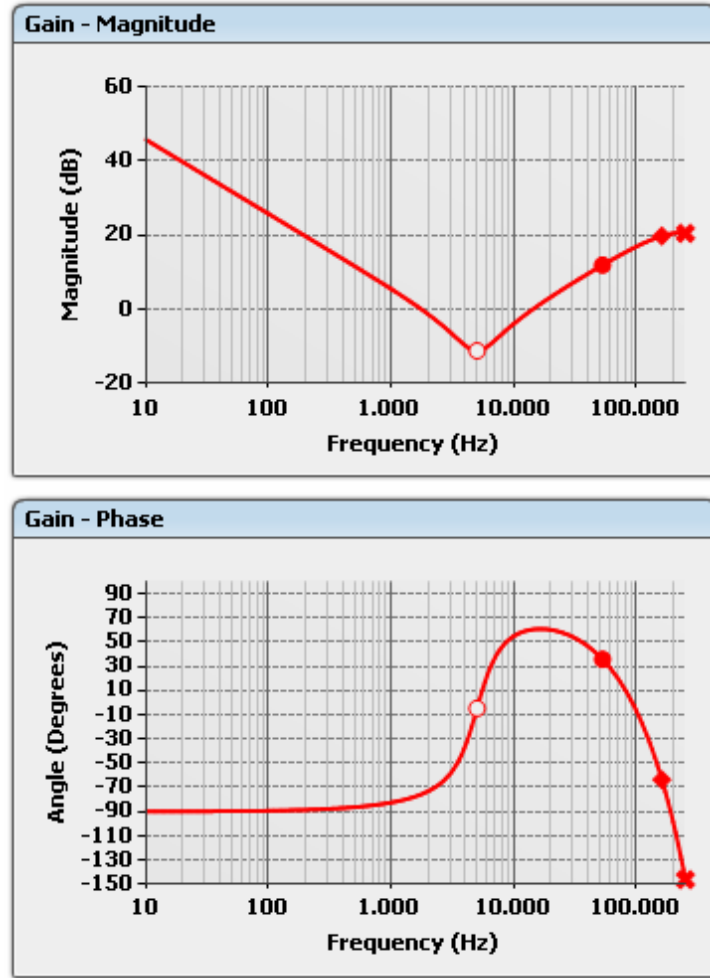
İkinci adımda kontrolörün tasarlanması gereklidir. Bu aşamada hesaplamada kolaylık sağlamak amacıyla G_{dly} kazancı ihmal edilecek, K_{fdbk} ve K_{dpwm} kazançları ise analog kontrol parametrelerinin tasarımı sırasında 1 olarak kabul edilecek, en son b_0 , b_1 , b_2 , dijital kompanzasyon katsayıları hesaplanırken hesaba katılacaktır. Bu nedenle Şekil 4.6'de gösterilen basitleştirilmiş blok diyagramdaki geri besleme döngüsünde sadece $G_{vd}(s)$ ve $G_c(s)$ hesaba katılacaktır. Daha önce ifade edildiği gibi alçaltıcı bir çeviricide ihtiyaç duyulan kompanzasyonu sağlamak için 2 sıfır ve 1 kutup'a sahip kompanzator yeterlidir. Buna göre $G_c(s)$ 'yi tasarlamak için iki yol vardır. Bunlar

kompanzator sıfırlarlarının kompleks ($Q>0.5$) veya kompanzator sıfırlarlarının gercek ($Q<0.5$) olduđu durumlardır. Tasarım için basitliđi nedeniyle sıfırlarların kompleks olduđu durum kullanılacaktır.

Kompanzator sıfırları kompleks olan bir kompanzator tasarımı için kalite faktörü Q , merkez frekansı f_z ve kompanzator kazancı K_{DC} belirlenmelidir. İlk olarak kompanzatorün kalite faktörü, güç katının kalite faktörü ile kıyaslanabilir bir seviyede seçilir (uygulamamızda güç katının Q 'su 1.388). Bu nedenle kompanzatorün kalite faktörü 1.4 olarak alınmıştır. f_z sıfır frekansı ise gerekli olan faz ilerlemesini (lead) sağlamak için LC alçak geçiren filtre frekansının biraz altında seçilir (uygulamamızda $f_0 = 6.003$ kHz). Uygulamamızda merkez frekansını 5 kHz olarak kullanacağız.

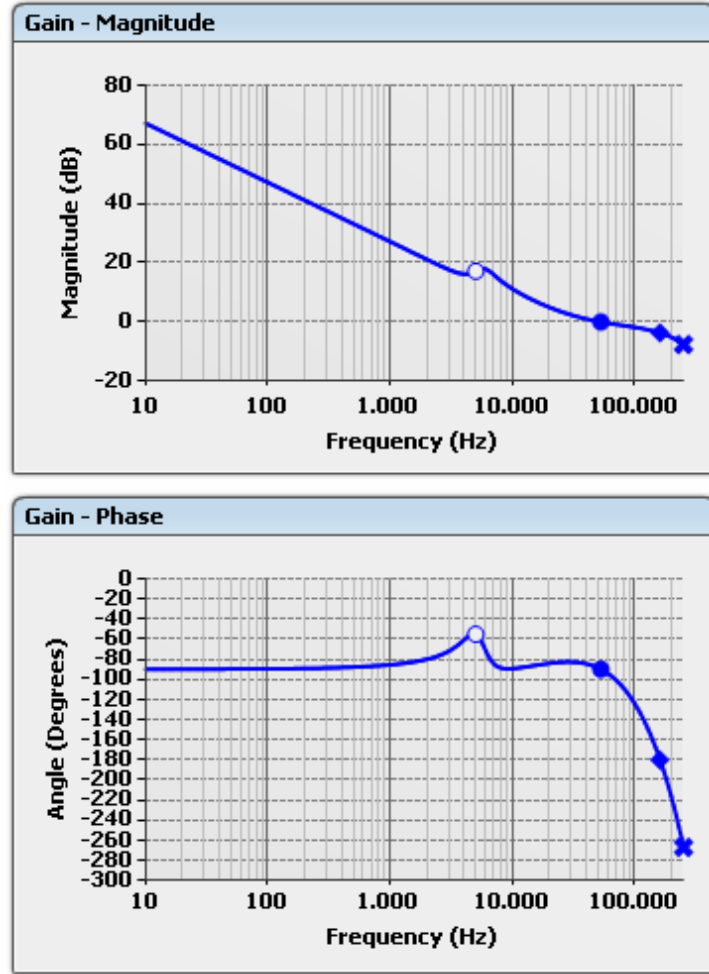
$G_c(s)$ 'yi tasarlamadan önce belirlenmesi gereken diđer bir kriter ise kompanzatorün kazancıdır. Bu deđer aynı zamanda çeviricinin bant genişliğini belirler. Çeviricinin bant genişliđi ne kadar büyük olursa sistemin dinamik cevap verme hızı da o kadar hızlı olur. Ancak bir noktadan sonra bant genişliğinin artması çeviricinin kararsız çalışmasına neden olur. Bu nedenle bir miktar güvenlik payı bırakılarak çeviricinin kararlı olduđu en büyük bant genişliđi hedeflenmelidir. Bunun için kompanzatorün kazancı, kapalı çevrim (closed loop) sistem kararsız olana kadar arttırılır ve sistemin kararsız olmasından hemen önce makul bir güvenlik payı bırakılarak kompanzatorün kazancı belirlenir. Uygulamamızda sistem $K_{DC} = 1.436e-3$ 'e getirildiğinde bant genişliđi yaklaşık 160 kHz, phase margin ve gain margin sıfır deđerini alarak kararsız hale gelmektedir. Burada kontrol sisteminin kararlılık kriteri olarak phase margin ve gain margin deđerleri istenilen deđerlere gelene dek K_{DC} kazancı düşürülür. Kararlılık kriteri olarak genellikle phase margin 45 derecenin, gain margin ise 5 dB deđerinin üstünde olması arzu edilir (Yüksel, 1999). Hızlı bir dinamik cevap için ise bant genişliğinin, anahtarlama frekansının 1/5'i ile 1/10'u arasında olması istenir. (Deng, 2005). Bu nedenle $K_{DC} = 1.100e-3$ alınmış olup, bu parametreler ile sistemin kararlılık kriteri olan phase margin=90.09 derece, gain margin=3.68 olarak bulunurken, bant genişliđi 52 kHz olmaktadır.

Buna göre $K_{DC} = 1.100e-3$, $Q = 1.4$ ve $f_z = 5$ kHz olarak belirlenen kompanzatorün transfer fonksiyonu denklem (4.16)'ya göre hesaplanarak Ek-B'de verilmiştir. Kompanzator transfer fonksiyonu $G_c(s)$ 'nin bode diyagramı Şekil 5.2'de gösterilmiştir.



Şekil 5.2. Kompanzatorün transfer fonksiyonu $G_c(s)$ bode diyagramı

Elde edilen çıkıştan kontrole transfer fonksiyonu $G_{vd}(s)$ ve kompanzator transfer fonksiyonu $G_c(s)$ 'nin çarpılması ile kapalı çevrim sistemin transfer fonksiyonu elde edilir. Kapalı çevrim sistemin bode diyagramı Şekil 5.3'te gösterilmiştir. Şekil 5.1 ve Şekil 5.3'ten de görüldüğü gibi 22.92 kHz olan açık çevrim bant genişliği, kompanzasyon sonucu 52.77 kHz olmuştur. Bunun yanında yaklaşık 35° olan "phase margin" 91° ye çıkarılmıştır. Kompanzasyon öncesi açık çevrim bode diyagramındaki faz eğrisi -180° nin altına düşmediği için tanımsız olan "gain margin" kompanzasyon sonrası yaklaşık 3.7 dB olarak elde edilmiştir. Burada çeviricinin kararlılık kriteri ile dinamik cevap süresi arasında bir tercih yapılmaktadır. İstenildiği takdirde kompanzator kazancı K_{DC} küçültülerek çeviricinin bant genişliği dolayısı ile dinamik cevap süresi düşürülür, bunun karşılığında kararlılık kriterleri olan gain margin ve phase margin yükseltilebilir.



Şekil 5.3. Kapalı çevrim sistemin bode diyagramı

Tasarımın uygun olduğuna karar verildikten sonra s domeninde elde edilen $G_c(s)$ transfer fonksiyonu sıfırları s_1 ve s_2 , z -domeninde yerlerine uygun olarak ölçeklendirilir. Denklem (4.22)'den (4.28)'e kadar işlemler yapılarak K_C , k_1 ve k_2 PID katsayıları hesaplandıktan sonra, K_{fdbk} ve K_{dpwm} değerleri de hesaba katılarak dijital kontrolör CLA katsayıları b_0 , b_1 , b_2 , denklem (4.29), (4.30) ve (4.31) kullanılarak EK-C'de verilen MATLAB m-file dosyası ile aşağıdaki gibi hesaplanır.

$$b_0=573$$

$$b_1=-1119$$

$$b_2=548$$

UCD9112 hata ADC çıkışı 17 farklı seviyeye sahip olup, muhtemel her hata sinyali için gerekli olan katsayı, daha önce belirlenen dijital kontrolör CLA katsayıları

b_0 , b_1 , b_2 ile hata seviyesinin çarpımı sonucu doğrusal olarak elde edilerek look-up tablosu oluşturulur (Choudhury, 2007). Denklem (4.11)'deki muhtemel her hata için hesaplanarak kontrolör'e yüklenen doğrusal look-up tablosu Tablo 5.2'de gösterilmiştir.

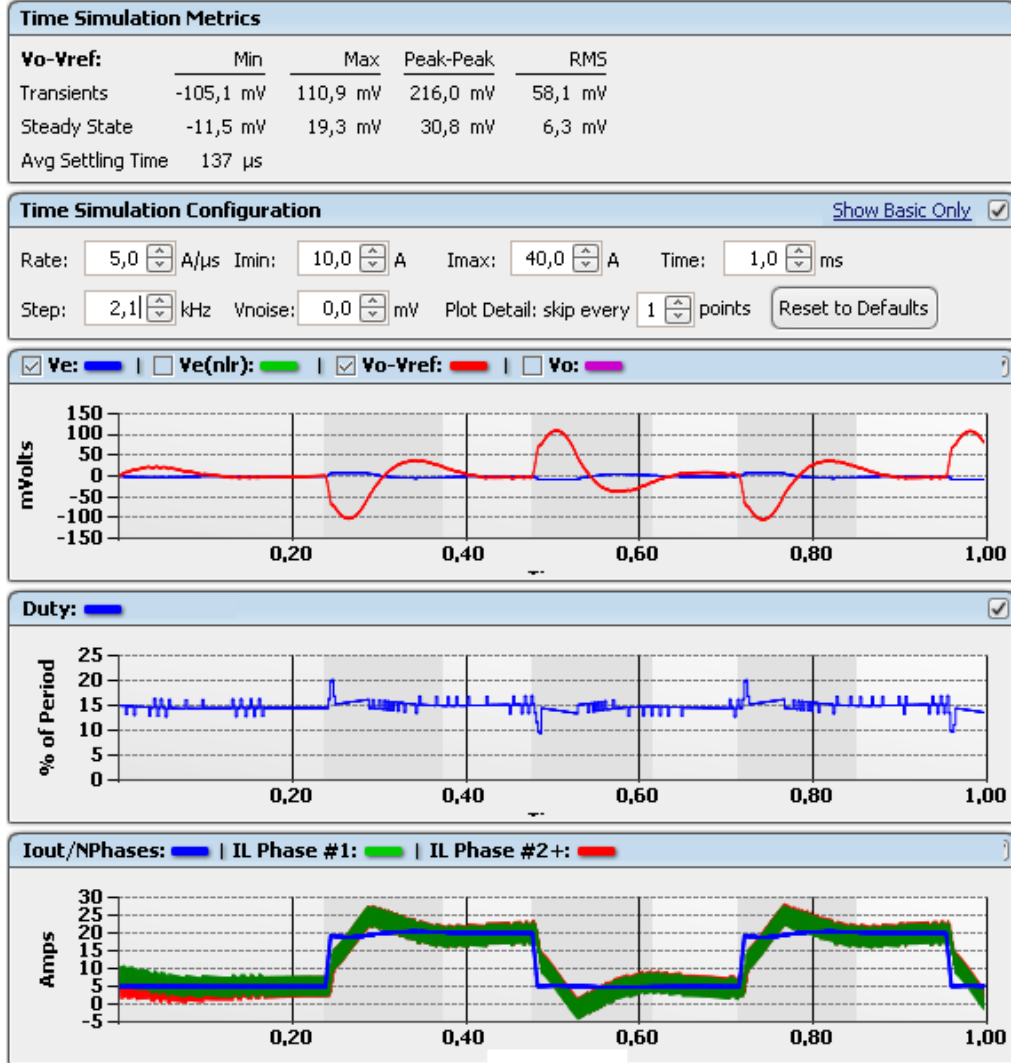
Tablo 5.2. Doğrusal look-up tablosu katsayıları

Bin	N	N-1	N-2	Click Checkbox to Override a Bin Using Discrete PID Gains
8	-4.584	8.952	-4.384	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
7	-4.011	7.833	-3.836	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
6	-3.438	6.714	-3.288	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
5	-2.865	5.595	-2.740	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
4	-2.292	4.476	-2.192	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
3	-1.719	3.357	-1.644	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
2	-1.146	2.238	-1.096	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
1	-573	1.119	-548	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
0	0	0	0	<input type="checkbox"/> K_p : N/A K_i : N/A K_D : N/A
-1	573	-1.119	548	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-2	1.146	-2.238	1.096	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-3	1.719	-3.357	1.644	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-4	2.292	-4.476	2.192	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-5	2.865	-5.595	2.740	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-6	3.438	-6.714	3.288	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-7	4.011	-7.833	3.836	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0
-8	4.584	-8.952	4.384	<input type="checkbox"/> K_p : 24,0 K_i : 1,0 K_D : 548,0

Frekans domeninde oluşturulan bode diyagramlarına göre kararlı olan bir sistem uygulamada kararsız olabilir (Hagen, 2009). Bu nedenle zaman domeninde, yapılan tasarımın farklı yük değişimlerinde simülasyonunun yapılması önemlidir. UCD9112 dijital PWM kontrolör programlayıcısı ile yapılan zaman domenindeki simülasyon Şekil 5.4'da görülmektedir.

Burada ilk grafik çıkış voltajı ile referans voltajı arasındaki farkı, yani çıkış gerilimindeki dalgalanmayı göstermekte olup, görüldüğü gibi sistem karalıdır. İkinci grafikte ise çıkış hata oranına göre kontrolör tarafından oluşturulan görev periyodundaki değişimler görülmektedir. Son eğride ise zaman simülasyonu sırasında yük ve

endüktans akımındaki değişimler görülmektedir. Bu şekilde değişik yük değişimlerinde simülasyonlar yapılarak sistemin kararlılığı sorgulanmış ve uygun olduğu görülmüştür.



Şekil 5.4. Doğrusal kontrol ile zaman simülasyon grafiği

5.2 Doğrusal olmayan Kontrol

Referans voltajı ile çıkış voltajı arasındaki fark yani hata voltajı (V_e), kararlı hal durumunda oldukça küçük olup, anahtarlama nedeniyle oluşan dalgalanmalar, belirlenen kompanzasyon parametreleri ile kolaylıkla düzeltilir. Ancak ani yük değişimleri sırasında çıkış voltajındaki dalgalanmaların belirlenen kompanzasyon parametreleri ile kararlı hale gelmeleri kısa sürede gerçekleşmez. Ani yük değişimi sırasında daha hızlı cevap verebilmek için kompanzasyon parametrelerinin doğrusal

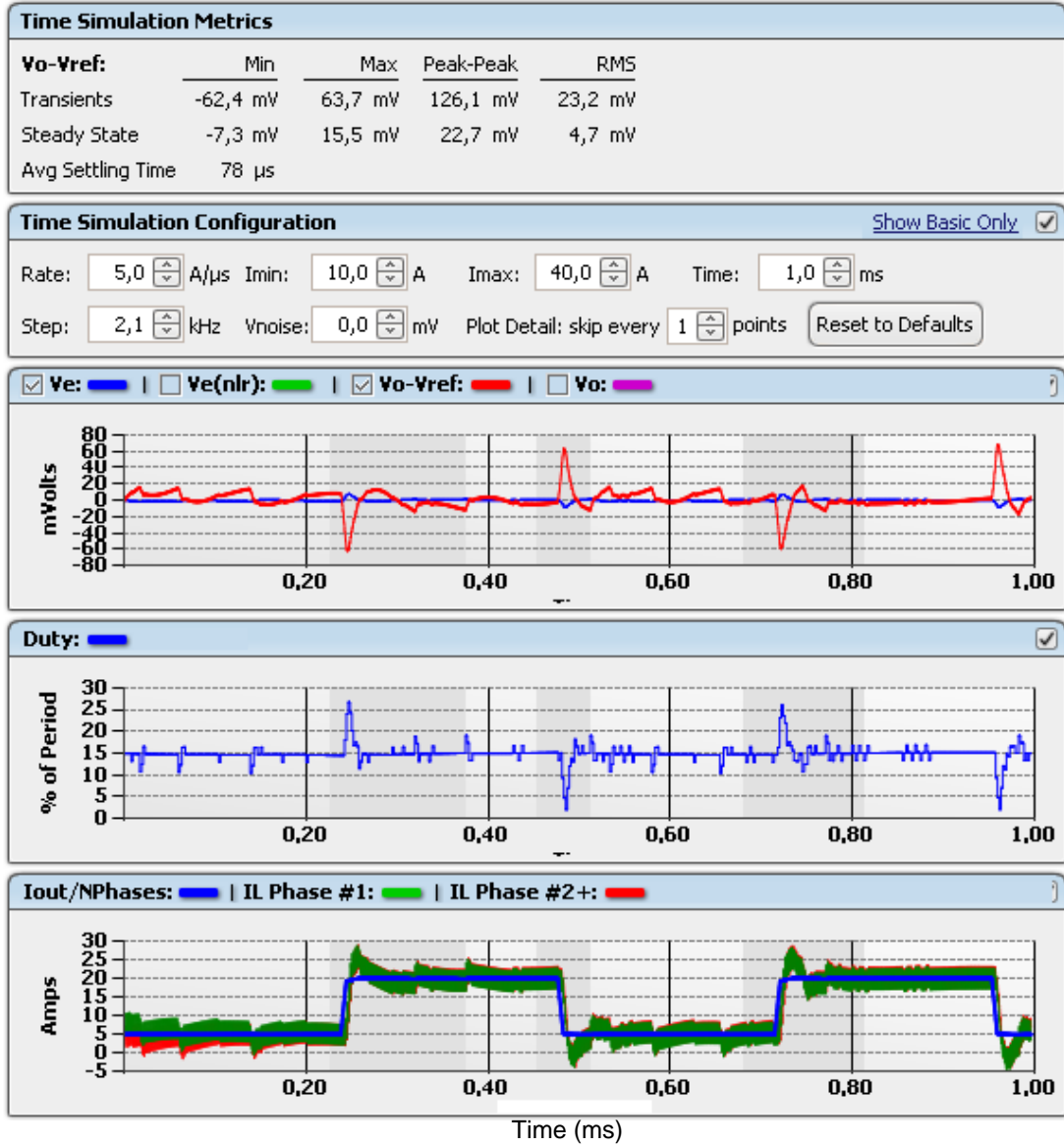
olmayan olarak belirlenmesi tercih edilir. Bu sayede düşük hata voltajı durumunda belirlenen kompanzasyon katsayıları kullanılırken, yüksek hata voltajı durumunda daha agresif davranan kompanzasyon katsayıları sayesinde çıkışın daha kısa sürede kararlı hale gelmesi sağlanmış olur. Dijital kontrol yaklaşımı ile ilave bir donanıma ihtiyaç duymadan doğrusal olmayan kontrol tasarımı gerçekleştirilebilir.

Tablo 5.3. Doğrusal olmayan look-up tablosu katsayıları

Bin	N	N-1	N-2	Click Checkbox to Override a Bin Using <u>Discrete</u> PID Gains			
8	-6.998	11.366	-4.384	<input type="checkbox"/>	K _p : 325,8	K _i : 1,0	K _d : 548,0
7	-6.169	9.991	-3.836	<input type="checkbox"/>	K _p : 332,3	K _i : 1,0	K _d : 548,0
6	-5.335	8.611	-3.288	<input type="checkbox"/>	K _p : 340,2	K _i : 1,0	K _d : 548,0
5	-4.493	7.223	-2.740	<input type="checkbox"/>	K _p : 349,6	K _i : 1,0	K _d : 548,0
4	-3.642	5.826	-2.192	<input type="checkbox"/>	K _p : 361,5	K _i : 1,0	K _d : 548,0
3	-2.779	4.417	-1.644	<input type="checkbox"/>	K _p : 377,3	K _i : 1,0	K _d : 548,0
2	-1.900	2.992	-1.096	<input type="checkbox"/>	K _p : 401,0	K _i : 1,0	K _d : 548,0
1	-573	1.119	-548	<input type="checkbox"/>	K _p : 24,0	K _i : 1,0	K _d : 548,0
0	0	0	0	<input type="checkbox"/>	N/A	N/A	N/A
-1	573	-1.119	548	<input type="checkbox"/>	K _p : 24,0	K _i : 1,0	K _d : 548,0
-2	1.900	-2.992	1.096	<input type="checkbox"/>	K _p : 401,0	K _i : 1,0	K _d : 548,0
-3	2.779	-4.417	1.644	<input type="checkbox"/>	K _p : 377,3	K _i : 1,0	K _d : 548,0
-4	3.642	-5.826	2.192	<input type="checkbox"/>	K _p : 361,5	K _i : 1,0	K _d : 548,0
-5	4.493	-7.223	2.740	<input type="checkbox"/>	K _p : 349,6	K _i : 1,0	K _d : 548,0
-6	5.335	-8.611	3.288	<input type="checkbox"/>	K _p : 340,2	K _i : 1,0	K _d : 548,0
-7	6.169	-9.991	3.836	<input type="checkbox"/>	K _p : 332,3	K _i : 1,0	K _d : 548,0
-8	6.998	-11.366	4.384	<input type="checkbox"/>	K _p : 325,8	K _i : 1,0	K _d : 548,0

Dijital kontrol katsayıları b_0 , b_1 , b_2 'ye göre Tablo 5.2'de doğrusal olarak oluşturulan look-up tablosu, Tablo 5.3'teki gibi doğrusal olmayan olarak oluşturularak dinamik cevap süresi iyileştirilebilir (Yousefzadeh, et al., 2008). Sistemin zaman domenindeki simülasyonu yapıldığında çıkış gerilim regülasyonundaki iyileşme Şekil 5.5'de görülmektedir. Buna göre tepeden tepeye 216 mV olan çıkış gerilimindeki dalgalanma 126.1 mV'a düşürülmüş, kararlı hal durumundaki voltaj salınımı ise

tepeden tepeye 30.8 mV iken doğrusal olmayan kontrol ile 22.7 mV'a düşürülmüştür. Ayrıca aynı yük değişimi durumunda dinamik cevap süresi 137 μ s iken doğrusal olmayan kontrol ile 78 μ s'ye düşürülmüştür.



Şekil 5.5. Doğrusal olmayan kontrol ile zaman simülasyonu grafiği

BÖLÜM 6

DENEY SONUÇLARI

Bu bölümde analiz ve tasarımı gerçekleştirilen iki fazlı senkronize alçaltıcı çeviricinin performansı deneysel olarak değerlendirilmiştir. Performans değerlendirmesi için deney sonuçları Şekil 6.1’de gösterilen deney düzeneği kullanılarak elde edilmiştir. Testlerde çeviricinin ani yük değişimlerine karşı davranışı incelenmiş ve verimi ölçülerek yorumlanmıştır. Ayrıca, hem tek fazlı ve hem de iki fazlı çevirici için doğrusal ve doğrusal olmayan kontrol kullanılarak testler yapılmış ve sonuçlar karşılaştırılmıştır. Bu deneysel değerlendirmeler sonucunda iki fazlı alçaltıcı çevirici mimarisi ve doğrusal olmayan kontrolün avantajları ortaya konulmuştur.

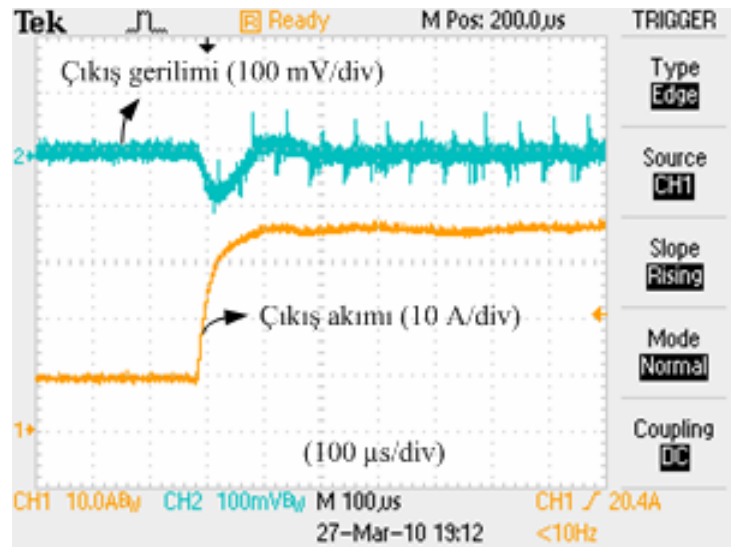


Şekil 6.1. Deney düzeneği ve ölçüm birimleri

6.1 İki Fazlı Alçaltıcı Çeviricinin Doğrusal Kompanzasyon ile Kontrolü

Bu adımda Tablo 5.2’de verilen doğrusal look-up tablosu katsayıları ile programlanan UCD9112 dijital PWM kontrolör kullanılan iki fazlı alçaltıcı çeviricide yük değiştirilerek çıkış gerilim regülasyonu ve dinamik cevap süresi izlenmiştir. Buna göre çıkış akımının 10 A’den 36 A’e çıkartılması sonucunda gerilim regülasyonu Şekil

6.2'deki gibi gerçekleşmiştir. Bu şekilde CH1 çıkış akımını ve CH2 çıkış gerilimini göstermektedir. Çıkış gerilimi ölçülürken osiloskopta AC kuplaj kademesi seçilerek ölçüm yapılmıştır. Amaç ölçümdeki DC bileşeni ihmal edip sadece çıkış gerilimindeki gerilim dalgalanmasını (ripple) gözlemlemektir. Bundan sonra yapılacak olan tüm ölçümlerde osiloskop kademe ayarları aynı tutulmuştur. Şekil 6.2'de görüldüğü gibi çıkış akımının 10 A'den 36 A'ye çıkartılması durumunda çıkış geriliminde yaklaşık 80 mV'luk dalgalanma (undershoot) oluşmakta ve yaklaşık 100 μ s sürede kararlı hale gelmektedir.



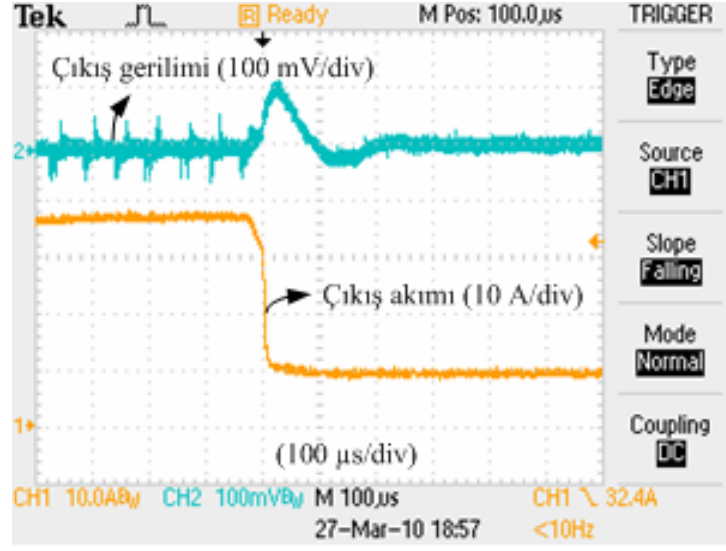
Şekil 6.2. İki fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (10-36 A değişimi)

Çıkış akımının 38 A'den 10 A'ye düşürülmesi sonucunda gerilim regülasyonu Şekil 6.3'da görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 38 A'den 10 A'ye düşürülmesi durumunda çıkış geriliminde yaklaşık 100 mV'luk bir dalgalanma (overshoot) oluşmakta ve yaklaşık 200 μ s sürede kararlı hale gelmektedir. Bu değerler yapılan simülasyon ile uyum içerisinde.

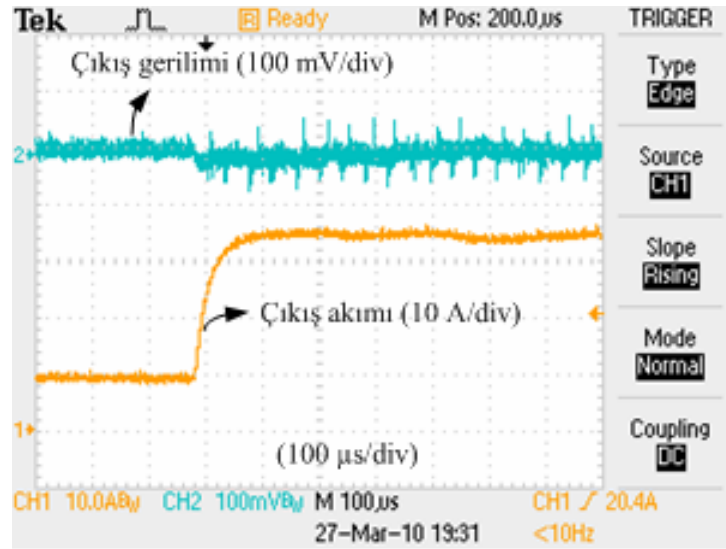
6.2 İki Fazlı Alçaltıcı Çeviricinin Doğrusal Olmayan Kompanzasyon ile Kontrolü

Bu bölümde ise doğrusal olmayan look-up tablosu katsayıları ile programlanan UCD9112 dijital PWM kontrolör kullanılan iki fazlı alçaltıcı çeviricide yük

değiştirilerek çıkış gerilim regülasyonu ve dinamik cevap süresi izlenmiştir. Buna göre çıkış akımının 10 A'den 35 A'e çıkartılması sonucunda gerilim regülasyonu Şekil 6.4'de görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 10 A'den 35 A'e çıkartılması durumunda çıkış geriliminde yaklaşık 40 mV'luk dalgalanma (undershoot) oluşmakta ve yaklaşık 40 μ s sürede kararlı hale gelmektedir.

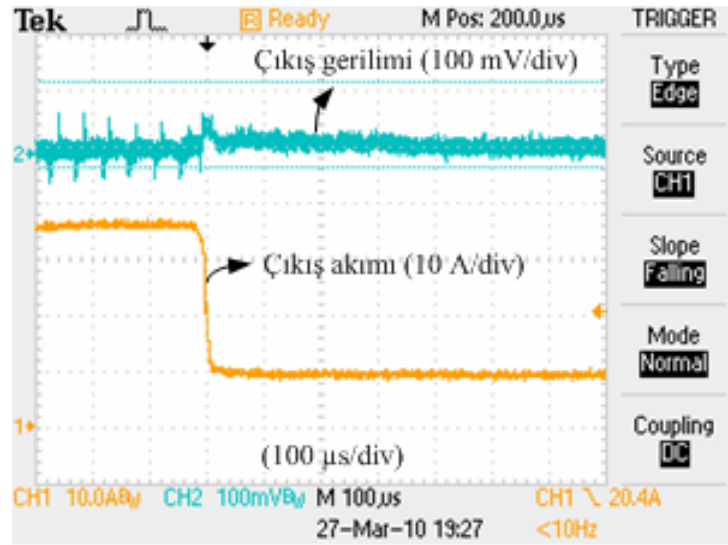


Şekil 6.3. İki fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (38-10 A değişimi)



Şekil 6.4. İki fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (10-35 A değişimi)

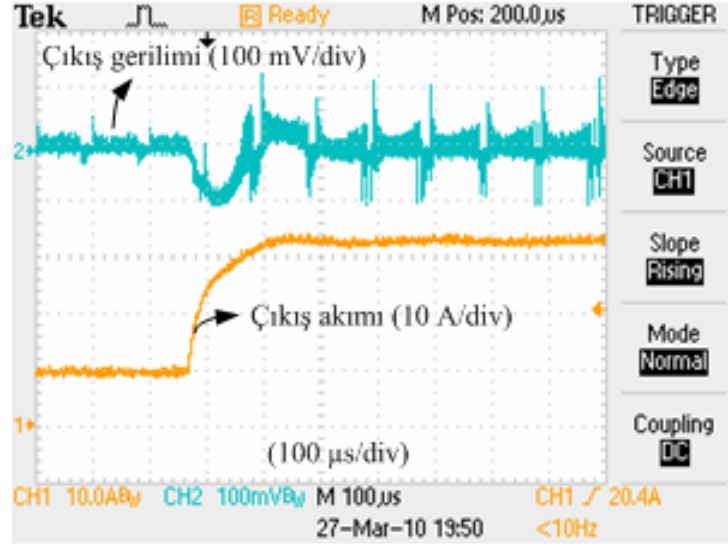
Çıkış akımının 36 A'den 10 A'ye düşürülmesi sonucunda ise, gerilim regülasyonu Şekil 6.5'de görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 36 A'den 10 A'ye düşürülmesi durumunda çıkış geriliminde yaklaşık 60 mV'luk bir dalgalanma (overshoot) oluşmakta ve yaklaşık 50 μ s sürede kararlı hale gelmektedir.



Şekil 6.5. İki fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (36-10 A değişimi)

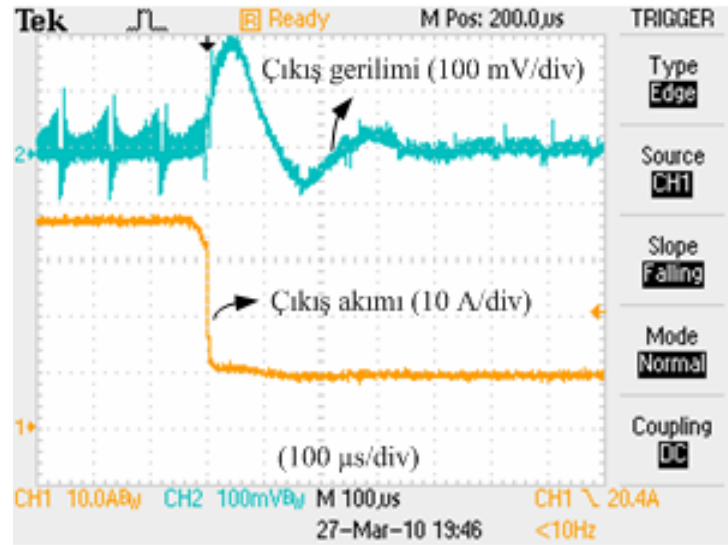
6.3 Tek Fazlı Alçaltıcı Çeviricinin Doğrusal Kompanzasyon ile Kontrolü

İki fazlı çevirici için yapılan deneyler, tek fazlı çevirici içinde yapılmış olup, çıkış gerilim regülasyonu ve dinamik cevap süresi izlenmiştir. Buna göre doğrusal kompanzasyon ile çıkış akımının 10 A'den 32 A'ye çıkartılması sonucunda gerilim regülasyonu Şekil 6.6'de görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 10 A'den 32 A'ye çıkartılması durumunda çıkış geriliminde yaklaşık 100 mV'luk dalgalanma (undershoot) oluşmakta ve yaklaşık 200 μ s sürede kararlı hale gelmektedir.



Şekil 6.6. Tek fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (10-32 A değişimi)

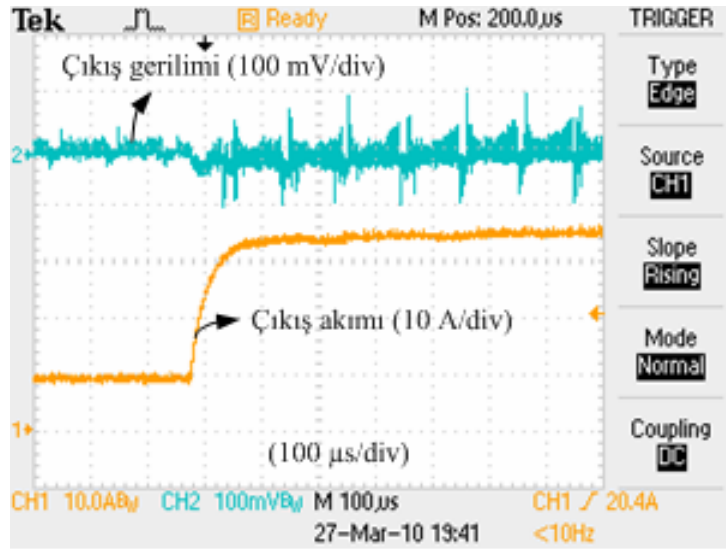
Çıkış akımının 38 A'den 10 A'ye düşürülmesi sonucunda gerilim regülasyonu Şekil 6.7'te görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 38 A'den 10 A'ye düşürülmesi durumunda çıkış geriliminde yaklaşık 200 mV'luk dalgalanma (overshoot) oluşmakta ve yaklaşık 340 µs sürede kararlı hale gelmektedir.



Şekil 6.7. Tek fazlı alçaltıcı çeviricide doğrusal kompanzasyon ile gerilim regülasyonu (38-10 A değişimi)

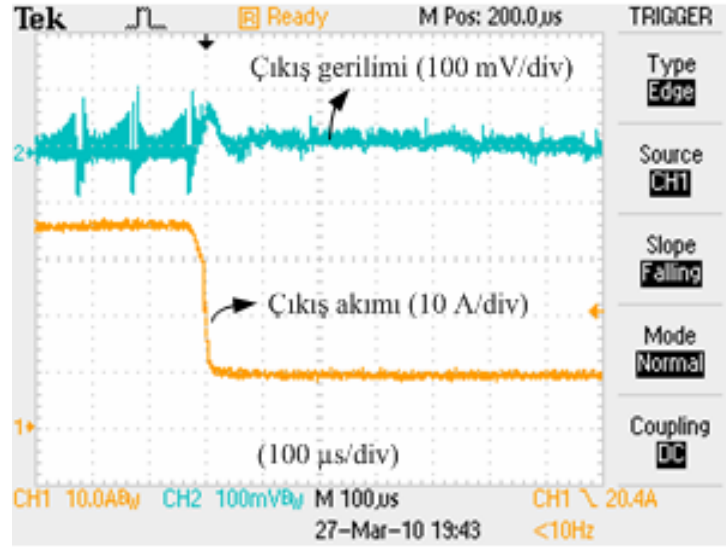
6.4 Tek Fazlı Alçaltıcı Çeviricinin Doğrusal Olmayan Kompanzasyon ile Kontrolü

Bu bölümde ise doğrusal olmayan look-up tablosu katsayıları ile programlanan UCD9112 dijital PWM kontrolör kullanılan tek fazlı alçaltıcı çeviricide yük değiştirilerek çıkış gerilim regülasyonu ve dinamik cevap süresi izlenmiştir. Buna göre çıkış akımının 10 A'den 35 A'e çıkartılması sonucunda gerilim regülasyonu Şekil 6.8'de görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 10 A'den 35 A'e çıkartılması durumunda çıkış geriliminde yaklaşık 60 mV'luk dalgalanma (undershoot) oluşmakta ve yaklaşık 60 μ s sürede kararlı hale gelmektedir.



Şekil 6.8. Tek fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (10-35 A değişimi)

Çıkış akımının 36 A'den 10 A'e düşürülmesi sonucunda gerilim regülasyonu Şekil 6.9'da görüldüğü gibi gerçekleşmiştir. Görüldüğü gibi çıkış akımının 36 A'den 10 A'e düşürülmesi durumunda çıkış geriliminde yaklaşık 80 mV'luk dalgalanma (overshoot) oluşmakta ve yaklaşık 80 μ s sürede kararlı hale gelmektedir.



Şekil 6.9. Tek fazlı alçaltıcı çeviricide doğrusal olmayan kompanzasyon ile gerilim regülasyonu (36-10 A değişimi)

Tablo 6.1. Deney sonuçlarının karşılaştırılması

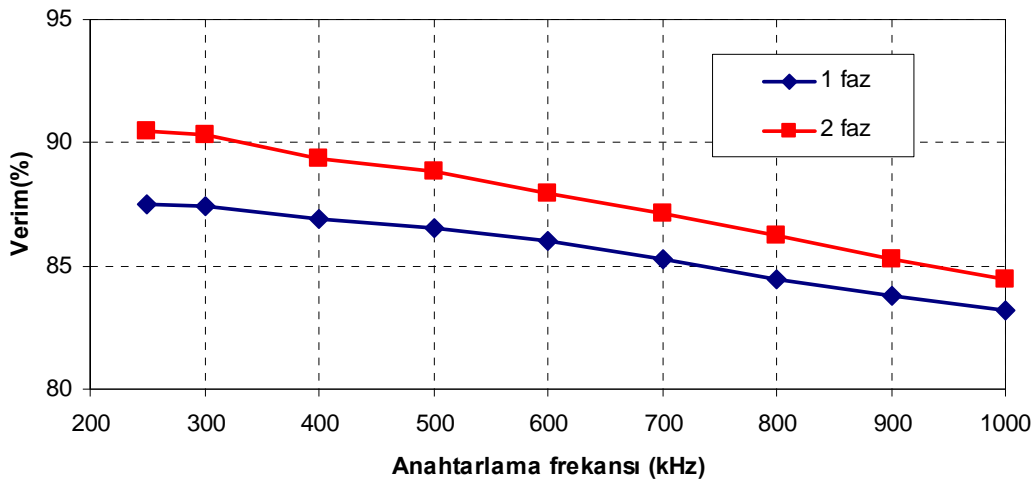
		Doğrusal kontrol		Doğrusal olmayan kontrol	
		Yüke giriş	Yükten çıkış	Yüke giriş	Yükten çıkış
1 Faz	<i>Dalgalanma (ripple)</i>	100 mV	200 mV	60 mV	80 mV
	<i>Kararlı hale geçiş süresi</i>	200 µs	340 µs	60 µs	80 µs
2 Faz	<i>Dalgalanma (ripple)</i>	80 mV	100 mV	40 mV	60 mV
	<i>Kararlı hale geçiş süresi</i>	100 µs	200 µs	40 µs	50 µs

Dinamik cevap verme ile ilgili deney sonuçları Tablo 6.1’de toplu olarak gösterilmiştir. Görüldüğü gibi tek fazlı çeviriciye göre çift fazlı çeviricide, gerilim regülasyonu ve dinamik cevap süresi iyileşmektedir. Bu iyileşme dalgalanma frekansının zamanın çoklaması nedeniyle artışına bağlı olarak bant genişliğinin artması sonucu daha hızlı bir regülasyon kontrolünün yapılması sonucunda elde edilmiştir.

Ayrıca doğrusal kontrole göre, doğrusal olmayan kontrol ile yapılan deneylerde de gerilim regülasyonu ve dinamik cevapta iyileşme görülmektedir. Günümüz uygulamalarındaki sıkı dinamik cevap ihtiyaçlarını karşılayabilmek için çok fazlı ve doğrusal olmayan kontrol mimarileri önem kazanmaktadır. Herhangi bir ilave donanıma ihtiyaç duymadan dijital kontrol ile doğrusal olmayan kontrolün gerçekleştirilebilmesi, önümüzdeki yıllarda dijital kontrolün yaygın olarak kullanılacağına bir göstergesidir. Bir sonraki bölümde çevirici verimi ile ilgili sonuçlar değerlendirilmiştir.

6.5 Çevirici Veriminin Ölçümü ve Değerlendirmesi

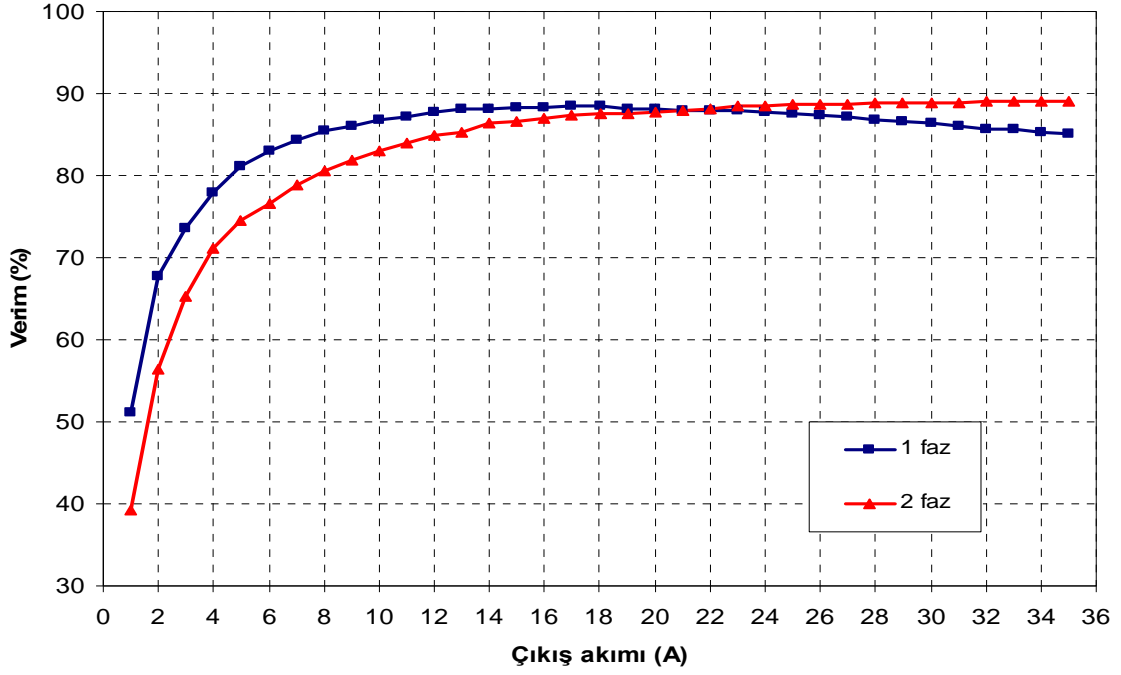
Çalışmalarımızda çevirici verimi Şekil 6.1'deki deney düzeneğinde görülen % 0.1 doğruluklu Hioki 3193 model güç analizörü kullanılarak hesaplanmıştır. Çevirici veriminin frekansa ve çıkış akımına göre değişimi sırasıyla Şekil 6.10 ve Şekil 6.11'de gösterilmiştir. Ölçümler tek fazlı ve iki fazlı çevirici mimarileri ile yapılarak sonuçlar karşılaştırılmıştır.



Şekil 6.10. Verimin anahtarlama frekansı ile değişimi (akım sabit, $I_o=30A$)

Beklenildiği gibi anahtarlama frekansı arttırıldıkça her iki mimari için çevirici veriminin azaldığı Şekil 6.10'dan görülmektedir. Anahtarlama frekansı 250 kHz iken tek fazlı çeviricinin verimi % 87,5 , iki fazlı çeviricinin verimi % 90,45'tir. Anahtarlama frekansı 1 MHz iken ise tek fazlı çeviricinin verimi % 83,18 , iki fazlı çeviricinin verimi

% 84,47'dir. Çıkış akımı 30 A iken iletim kayıplarına bağlı olarak iki fazlı çeviricinin verimi, tek fazlı çeviriciye göre daha yüksek olmakla birlikte, görüldüğü gibi anahtarlama frekansı arttıkça, anahtarlama kayıplarının iki fazlı çeviricide daha fazla olması nedeniyle verim farkı azalmaktadır.



Şekil 6.11. Verimin çıkış akımı ile değişimi (anahtarlama frekansı sabit, $f_s=500$ kHz)

Verimin çıkış akımı ile değişimi ise Şekil 6.11'de görülmekte olup, beklenildiği gibi çıkış akımının düşmesi ile anahtarlama kayıplarına bağlı olarak verim düşmektedir. Tek fazlı çeviricide verim, çıkış akımı 17 A seviyesinde iken maksimum değerine ulaşarak % 88,42 olarak ölçülürken, iki fazlı çeviricide çıkış akımı 34 A seviyesinde iken maksimum değerine ulaşarak % 89,04 olarak ölçülür. Şekilden de görüldüğü gibi düşük akımlarda tek fazlı çeviricinin verimi iki fazlı çeviriciye göre daha yüksek iken, yüksek akımlarda daha düşük olmaktadır. Bunun nedeni düşük akımlarda anahtarlama kayıpları önemli yer tutarken, yüksek akımlarda iletim kayıplarının önem kazanmasıdır. İki fazlı çeviricide anahtarlama elemanı sayısı fazla olduğundan, düşük akımlarda kayıp oranı yükselmekte ve tek fazlı çeviriciye göre verim düşmektedir. Yüksek akımlarda ise çıkış akımının fazlara bölünmesi nedeniyle iletim kayıpları azalmakta ve verim tek fazlı çeviriciye göre yüksek olmaktadır.

Çok fazlı çevirici verimlerinin düşük akımlarda tek fazlı çeviriciye oranla daha düşük olması bir dezavantaj yaratmakta olup, bu dezavantajın giderilmesi için küçük çıkış akımı durumunda faz sayısının azaltılmasını sağlayan kontrol algoritmaları geliştirilmiştir. Bu sayede geniş bir yük aralığında çeviricinin maksimum verimlilikte çalıştırılması mümkün olabilmektedir.

BÖLÜM 7

SONUÇ

Bu çalışmada, yüksek frekanslı, iki fazlı senkronize anahtarlamalı 12 V girişli, 1.8 V ve 40 A çıkışlı DC-DC alçaltıcı bir çevirici için Texas Instrument imalı UCD9112 dijital PWM kontrolör tabanlı dijital kontrol sistemi tasarımı gerçekleştirilmiştir. Tezde çeviricinin güç katı analizleri yapılarak küçük sinyalli işaretler için modeli ve transfer fonksiyonu oluşturulmuştur. Elde edilen güç katı transfer fonksiyonuna göre ilk olarak analog kontrol tasarım yaklaşımı ile istenilen dinamik cevabı ve çıkış gerilim regülasyonunu sağlayacak şekilde, bilinen bir PID kontrol şablonuna göre kompanzasyon parametreleri s domeninde elde edilmiştir. Daha sonra elde edilen analog kontrol kompanzasyon parametreleri kullanılarak, dijital kontrol için gerekli olan kompanzasyon katsayıları hesaplanmış ve dijital kontrolör tasarlanmıştır.

Yüksek frekans sayesinde çeviricinin boyutlarının azaltılmasının yanında yükteki değişimlere karşı istenilen dinamik cevap elde edilebilmekte ve arzu edilen çıkış gerilim regülasyonu gerçekleştirilebilmektedir. Ancak frekansın artırılması ile çeviricinin verimi azalmaktadır. Yapılan deneyler sonucunda iki fazlı alçaltıcı çeviricinin 500 kHz anahtarlama frekansı ve 30 A çıkış akımındaki verimi yaklaşık %89 olarak elde edilmiştir.

Çok fazlı mimariler ile akım oranının faz sayısına bölünmesi nedeniyle yüksek çıkış akım kapasitesine sahip çeviriciler tasarlanabilmektedir. Fazlar arasındaki endüktans akımındaki girişim nedeniyle toplam endüktans akımındaki (çıkış akımı) salınım azaltılmış olur. Çıkış akımındaki salınımının azaltılması ile çıkış kapasitörleri üzerindeki ESR'den kaynaklanan kayıplar düşürülür. Çok fazlı mimarilerin bir diğer avantajı ise endüktans değerinin düşmesi nedeniyle ani yük değişimlerine karşı dinamik cevap süresi ve çıkış gerilim regülasyonunun iyileşmesidir. Görüldüğü gibi, zamanın çoklanması nedeniyle yüksek frekans sayesinde elde edilen avantajlar olan çıkış gerilim regülasyonu ve dinamik cevap süresinin iyileştirilmesi çok fazlı mimariler ile sağlanmaktadır. Senkronize mimarisi sayesinde de diyottan kaynaklanan iletim kayıpları azaltılarak çevirici veriminin artırılmasına katkı sağlanmıştır.

Dijital kontrol günümüz endüstrisinde gün geçtikçe daha yaygın hale gelmektedir. Dijital kontrol sayesinde gerçek zamanlı olarak yapılan tasarımın analizleri çok kolay ve çok hızlı bir şekilde yapılabilmektedir. Ayrıca herhangi bir donanım değişikliği olmadan yazılım değişikliği ile giriş ve çıkış parametrelerinin değiştirilebilmesine imkan tanımaktadır. Dijital kontrolün diğer bir avantajı ise, tüm bilgilerin dijital olarak mevcut olması nedeniyle hata kayıtlarının alınabilmesidir. Bu sayede geniş platformlarda meydana gelen bir aksaklığın analizinin yapılmasına olanak sağlar. Ayrıca çevirici parametrelerinin (dalgalanma oranı vb.) zamanla değişiminin takip edilmesi de kritik sistemlerde çeviricinin arıza yapmadan kullanıcıyı uyarmasını sağlayabilecek diğer bir avantajıdır. Sonuçta dijital kontrol sayesinde herhangi bir ilave donanıma ihtiyaç duymadan çeviricinin kullanıcı arayüzleri veya diğer sistem elemanları ile haberleşmesi sağlanabilir.

Önümüzdeki süreçte çok fazlı, yüksek frekanslı dijital DC-DC çeviriciler ile ilgili gelişmelerin artarak devam edeceği düşünülmektedir. Buna ilave olarak son yıllarda farklı konfigürasyonda birden fazla çıkışa sahip çok çıkışlı DC-DC çeviriciler piyasada önemli oranda yer tutmaya başlamıştır. Hatta anahtarlama ve pasif devre elemanlarını da içerecek şekilde monolitik yapıdaki DC-DC çevirici mimarileri ile ilgili çalışmalar yapılmakta olup, bu sayede çok daha yüksek frekanslarda ve çok küçük boyutlarda DC-DC çevirici yapıları oluşturulabilecektir.

Ek Açıklamalar A

ÇIKIŞTAN KONTROLE TRANSFER FONKSİYONU

Çıkıştan kontrole transfer fonksiyonu G_{vd} 'nin elde edildiği Matlab m-file dosyası, transfer fonksiyonu ve bode diyagramı aşağıda verilmiştir.

MATLAB m-file:

```
clear;

Vout=1.8;
Vin=12;
Rds1=9.0e-3;
Rds2=2.2e-3;
L=0.25e-6;
DCR=0.55e-3;
RL=0.045;

R1=6.040e3;
R2=10e3;
Cp=100e-12;
Cz=0;
d=2*(Vout/Vin);

C1=470e-6; Rc1=10e-3; Lc1=1.5e-9;
C2=470e-6; Rc2=10e-3; Lc2=1.5e-9;
C3=470e-6; Rc3=10e-3; Lc3=1.5e-9;
C4=470e-6; Rc4=10e-3; Lc4=1.5e-9;
C5=470e-6; Rc5=10e-3; Lc5=1.5e-9;
C6=470e-6; Rc6=10e-3; Lc6=1.5e-9;

C7=47e-6; Rc7=2e-3; Lc7=0.8e-9;
C8=47e-6; Rc8=2e-3; Lc8=0.8e-9;
C9=47e-6; Rc9=2e-3; Lc9=0.8e-9;
C10=47e-6; Rc10=2e-3; Lc10=0.8e-9;

C11=22e-6; Rc11=2e-3; Lc11=0.8e-9;
C12=22e-6; Rc12=2e-3; Lc12=0.8e-9;
C13=22e-6; Rc13=2e-3; Lc13=0.8e-9;
C14=22e-6; Rc14=2e-3; Lc14=0.8e-9;

s = tf('s');

Zc1=Rc1+s*Lc1+1/(s*C1);
Zc2=Rc2+s*Lc2+1/(s*C2);
Zc3=Rc3+s*Lc3+1/(s*C3);
```

```

Zc4=Rc4+s*Lc4+1/(s*C4);
Zc5=Rc5+s*Lc5+1/(s*C5);
Zc6=Rc6+s*Lc6+1/(s*C6);
Zc7=Rc7+s*Lc7+1/(s*C7);
Zc8=Rc8+s*Lc8+1/(s*C8);
Zc9=Rc9+s*Lc9+1/(s*C9);
Zc10=Rc10+s*Lc10+1/(s*C10);
Zc11=Rc11+s*Lc11+1/(s*C11);
Zc12=Rc12+s*Lc12+1/(s*C12);
Zc13=Rc13+s*Lc13+1/(s*C13);
Zc14=Rc14+s*Lc14+1/(s*C14);

Zc=1/((1/Zc1)+(1/Zc2)+(1/Zc3)+(1/Zc4)+(1/Zc5)+(1/Zc6)+(1/Zc7)+(1/Zc8)+
(1/Zc9)+(1/Zc10)+(1/Zc11)+(1/Zc12)+(1/Zc13)+(1/Zc14));

R=DCR+(d*Rds1)+(1-d)*Rds2;
Zs=R+s*L;

Zeq=1/((1/Zc)+(1/RL));

Gvd=Vin*Zeq/(R+s*L+Zeq);

C=C1+C2+C3+C4+C5+C6+C7+C8+C9+C10+C11+C12+C13+C14;
ESR=1/((1/Rc1)+(1/Rc2)+(1/Rc3)+(1/Rc4)+(1/Rc5)+(1/Rc6)+(1/Rc7)+(1/Rc8)+
(1/Rc9)+(1/Rc10)+(1/Rc11)+(1/Rc12)+(1/Rc13)+(1/Rc14));

w0=sqrt((R+RL)/(L*C*(RL+ESR)));
f0=w0/(2*pi);
Q=1/(w0*(ESR*C+(L/(R+RL))+(R*RL*C/(R+RL))));

figure(1)
P = bodeoptions;
P.FreqUnits = 'Hz';
bode(Gvd,P)

grid

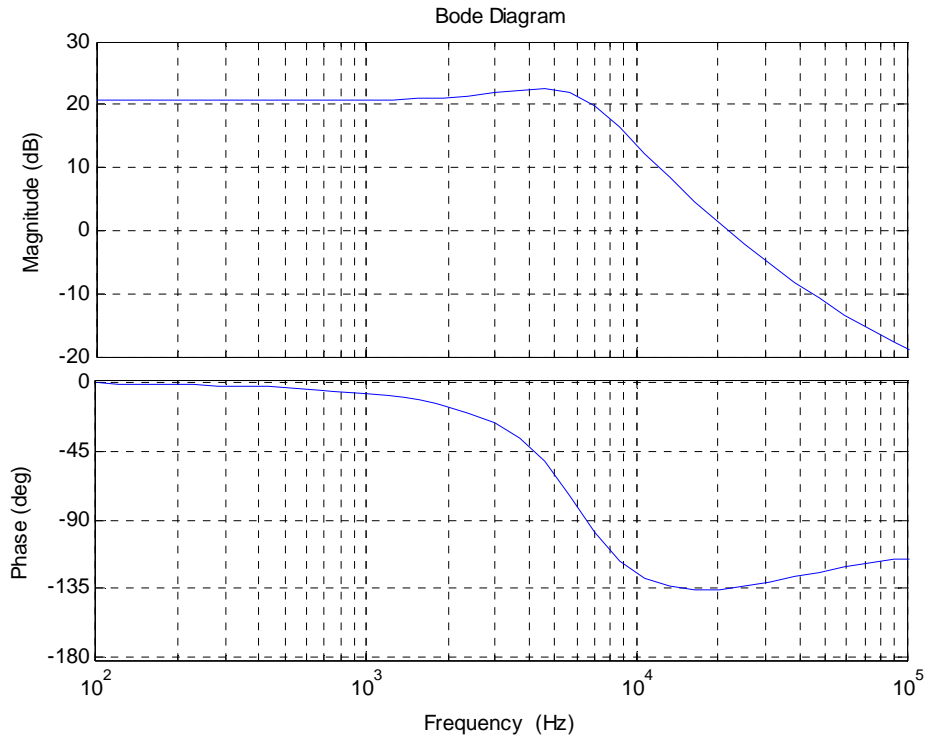
```

$G_{vd}(s)$ Transfer fonksiyonu:

$$\begin{aligned}
& 9.684e-322 s^{51} + 2.628e-314 s^{50} + 6.053e-307 s^{49} + 1.219e-299 s^{48} + 2.182e \\
& -292 s^{47} + 3.516e-285 s^{46} + 5.148e-278 s^{45} + 6.902e-271 s^{44} + 8.521e-264 s^{43} \\
& + 9.734e-257 s^{42} + 1.033e-249 s^{41} + 1.021e-242 s^{40} + 9.436e-236 s^{39} \\
& + 8.159e-229 s^{38} + 6.616e-222 s^{37} + 5.036e-215 s^{36} + 3.602e-208 s^{35} \\
& + 2.423e-201 s^{34} + 1.533e-194 s^{33} + 9.122e-188 s^{32} + 5.106e-181 s^{31} \\
& + 2.686e-174 s^{30} + 1.328e-167 s^{29} + 6.158e-161 s^{28} + 2.676e-154 s^{27}
\end{aligned}$$

$$\begin{aligned}
&+ 1.088\text{e-}147 s^{26} + 4.132\text{e-}141 s^{25} + 1.461\text{e-}134 s^{24} + 4.794\text{e-}128 s^{23} \\
&+ 1.456\text{e-}121 s^{22} + 4.07\text{e-}115 s^{21} + 1.043\text{e-}108 s^{20} + 2.432\text{e-}102 s^{19} \\
&+ 5.122\text{e-}096 s^{18} + 9.655\text{e-}090 s^{17} + 1.61\text{e-}083 s^{16} + 2.339\text{e-}077 s^{15} \\
&+ 2.912\text{e-}071 s^{14} + 3.039\text{e-}065 s^{13} + 2.595\text{e-}059 s^{12} + 1.77\text{e-}053 s^{11} \\
&+ 9.463\text{e-}048 s^{10} + 3.926\text{e-}042 s^9 + 1.256\text{e-}036 s^8 + 3.077\text{e-}031 s^7 \\
&+ 5.72\text{e-}026 s^6 + 7.929\text{e-}021 s^5 + 7.962\text{e-}016 s^4 + 5.505\text{e-}011 s^3 + 2.385\text{e-}006 s^2 \\
&+ 0.05249 s + 266.7
\end{aligned}$$

$$\begin{aligned}
&2.622\text{e-}319 s^{51} + 6.808\text{e-}312 s^{50} + 1.512\text{e-}304 s^{49} + 2.935\text{e-}297 s^{48} + 5.067\text{e-}290 s^{47} \\
&+ 7.871\text{e-}283 s^{46} + 1.111\text{e-}275 s^{45} + 1.434\text{e-}268 s^{44} + 1.703\text{e-}261 s^{43} \\
&+ 1.871\text{e-}254 s^{42} + 1.906\text{e-}247 s^{41} + 1.808\text{e-}240 s^{40} + 1.601\text{e-}233 s^{39} \\
&+ 1.324\text{e-}226 s^{38} + 1.026\text{e-}219 s^{37} + 7.45\text{e-}213 s^{36} + 5.074\text{e-}206 s^{35} \\
&+ 3.243\text{e-}199 s^{34} + 1.946\text{e-}192 s^{33} + 1.095\text{e-}185 s^{32} + 5.785\text{e-}179 s^{31} \\
&+ 2.864\text{e-}172 s^{30} + 1.328\text{e-}165 s^{29} + 5.756\text{e-}159 s^{28} + 2.329\text{e-}152 s^{27} \\
&+ 8.778\text{e-}146 s^{26} + 3.074\text{e-}139 s^{25} + 9.966\text{e-}133 s^{24} + 2.981\text{e-}126 s^{23} \\
&+ 8.187\text{e-}120 s^{22} + 2.053\text{e-}113 s^{21} + 4.67\text{e-}107 s^{20} + 9.556\text{e-}101 s^{19} \\
&+ 1.742\text{e-}094 s^{18} + 2.793\text{e-}088 s^{17} + 3.881\text{e-}082 s^{16} + 4.589\text{e-}076 s^{15} \\
&+ 4.516\text{e-}070 s^{14} + 3.609\text{e-}064 s^{13} + 2.285\text{e-}058 s^{12} + 1.125\text{e-}052 s^{11} \\
&+ 4.267\text{e-}047 s^{10} + 1.237\text{e-}041 s^9 + 2.724\text{e-}036 s^8 + 4.511\text{e-}031 s^7 \\
&+ 5.527\text{e-}026 s^6 + 4.893\text{e-}021 s^5 + 3.025\text{e-}016 s^4 + 1.253\text{e-}011 s^3 \\
&+ 3.346\text{e-}007 s^2 + 0.005384 s + 24.86
\end{aligned}$$



Şekil A.1. Çıkıştan kontrole transfer fonksiyonu $G_{vd}(s)$ bode diyagramı

Ek Açıklamalar B

KOMPANZATÖR TRANSFER FONKSİYONU

Kompanzatorün transfer fonksiyonu G_c 'nin elde edildiği Matlab m-file dosyası, transfer fonksiyonu ve bode diyagramı aşağıda verilmiştir.

MATLAB m-file:

```
clear;
%istenilen geçiş frekansı girilir.
fcov=52.77e3
scov=i*2*pi*fcov;

s = tf('s');

RL=0.045;
L=0.25e-6;
DCR=0.55e-3;
Rds1=9e-3;
Rds2=2.2e-3;
Vout=1.8;
Vin=12;
fpwm=1000e3;

R1=6.040e3;
R2=10e3;
Cz=0;
Cp=100e-12;
%-----

d=Vout/Vin;
tpwm=1/fpwm;
Nphase=2;
Tduty=(Vout/Vin)*tpwm;
Tdelay1=0.242*tpwm;
Tphase=(Nphase-1)/(2*Nphase)*tpwm;

Gdelay1=exp(-s*Tdelay1);
Gdelay2=exp(-s*(Tduty+Tphase));
Gdiv=(R1*R2*Cz*s+R2)/(R1*R2*(Cz+Cp)*s+R1+R2);

npwm=log2(1e12*tpwm/175);
Kdpwm=1/(2^(npwm)-1);

Kead=200;
Kfdbk=Gdiv*Kead;

%-----
C1=470e-6; Rcl=10e-3; Lcl=1.5e-9;
```

```

C2=470e-6; Rc2=10e-3; Lc2=1.5e-9;
C3=470e-6; Rc3=10e-3; Lc3=1.5e-9;
C4=470e-6; Rc4=10e-3; Lc4=1.5e-9;
C5=470e-6; Rc5=10e-3; Lc5=1.5e-9;
C6=470e-6; Rc6=10e-3; Lc6=1.5e-9;

C7=47e-6; Rc7=2e-3; Lc7=0.8e-9;
C8=47e-6; Rc8=2e-3; Lc8=0.8e-9;
C9=47e-6; Rc9=2e-3; Lc9=0.8e-9;
C10=47e-6; Rc10=2e-3; Lc10=0.8e-9;

C11=22e-6; Rc11=2e-3; Lc11=0.8e-9;
C12=22e-6; Rc12=2e-3; Lc12=0.8e-9;
C13=22e-6; Rc13=2e-3; Lc13=0.8e-9;
C14=22e-6; Rc14=2e-3; Lc14=0.8e-9;

```

```

Zc1=Rc1+scov*Lc1+1/(scov*C1);
Zc2=Rc2+scov*Lc2+1/(scov*C2);
Zc3=Rc3+scov*Lc3+1/(scov*C3);
Zc4=Rc4+scov*Lc4+1/(scov*C4);
Zc5=Rc5+scov*Lc5+1/(scov*C5);
Zc6=Rc6+scov*Lc6+1/(scov*C6);
Zc7=Rc7+scov*Lc7+1/(scov*C7);
Zc8=Rc8+scov*Lc8+1/(scov*C8);
Zc9=Rc9+scov*Lc9+1/(scov*C9);
Zc10=Rc10+scov*Lc10+1/(scov*C10);
Zc11=Rc11+scov*Lc11+1/(scov*C11);
Zc12=Rc12+scov*Lc12+1/(scov*C12);
Zc13=Rc13+scov*Lc13+1/(scov*C13);
Zc14=Rc14+scov*Lc14+1/(scov*C14);

```

```

%-----
C=C1+C2+C3+C4+C5+C6+C7+C8+C9+C10+C11+C12+C13+C14;

ESR=1/((1/Rc1)+(1/Rc2)+(1/Rc3)+(1/Rc4)+(1/Rc5)+(1/Rc6)+(1/Rc7)+(1/Rc8)
+(1/Rc9)+(1/Rc10)+(1/Rc11)+(1/Rc12)+(1/Rc13)+(1/Rc14));

Zc=1/((1/Zc1)+(1/Zc2)+(1/Zc3)+(1/Zc4)+(1/Zc5)+(1/Zc6)+(1/Zc7)+(1/Zc8)+
(1/Zc9)+(1/Zc10)+(1/Zc11)+(1/Zc12)+(1/Zc13)+(1/Zc14));

R=DCR+(d*Rds1)+(1-d)*Rds2;
Zs=R+scov*L;
Zeq=1/((1/Zc)+(1/RL)+(1/(R1+R2)));
Gvd=Vin*Zeq/(R+scov*L+Zeq);
%-----
%Oc, power stage Q'su ile karşılaştırılabilir değerde olmalıdır
Qc=1.4;
w0=sqrt((R+RL)/(L*C*(RL+ESR)));
f0=w0/(2*pi);
Q=1/(w0*(ESR*C+(L/(R+RL))+(R*RL*C/(R+RL))));
%faz ilerlemesini sağlamak için f0'ın biraz altında seçilir.
fz=5e3;
wz=2*pi*fz;
alpha=pi*fz/Qc;
beta=2*pi*fz*sqrt(1-(1/4*Qc^2));

```

```

wk=abs(((scov*wz^2)/((scov+alpha+j*beta)*(scov+alpha-
j*beta)))*(1/(Gvd)));
%wk2=abs((scov*(1/((scov^2/wz^2)+(scov/(Qc*wz))+1)))*(1/(Gvd)));

Gcla=(wk/s)*((s^2/wz^2)+(s/(Qc*wz))+1);
%Gcla=(wk/(s*wz^2))*(s+alpha+j*beta)*(s+alpha-j*beta);

figure(1)
P = bodeoptions;
P.FreqUnits = 'Hz';
bode(Gcla,P)

grid on

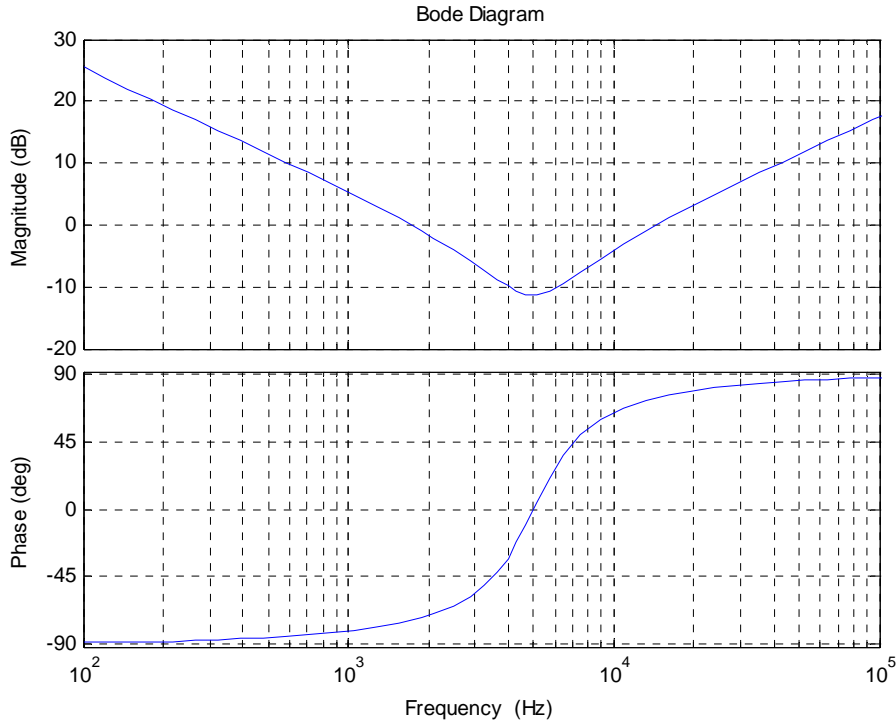
```

Verilen m-file dosyasına göre oluşturulan transfer fonksiyonu ve bode diyagramı aşağıda verilmiştir.

$G_c(s)$ Transfer fonksiyonu:

$$1.196e-005 s^2 + 0.2683 s + 1.18e004$$

s



Şekil B.1. Kompanzator transfer fonksiyonu $G_c(s)$ bode diyagramı

Ek Açıklamalar C

DİJİTAL KOMPANZATÖR KATSAYILARININ HESAPLANMASI

Kompanzatorün (CLA) b_0 , b_1 , b_2 katsayılarının hesaplanması için kullanılan Matlab m-file dosyası ve hesaplanan katsayılar aşağıda verilmiştir.

MATLAB m-file:

```
clear;
%desired crossover freq. girilir.
fcov=52.77e3
s=i*2*pi*fcov;

RL=0.045;
L=0.25e-6;
DCR=0.55e-3;
Rds1=9e-3;
Rds2=2.2e-3;
Vout=1.8;
Vin=12;
fpwm=1000e3;

R1=6.040e3;
R2=10e3;
Cz=0;
Cp=100e-12;

d=(Vout/Vin);

R=DCR+(d*Rds1)+(1-d)*Rds2;

tpwm=1/fpwm;
npwm=log2(1e12*tpwm/175);

Kdpwm=1/(2^(npwm)-1);
Kead=200;

Kfdbk=Gdiv*Kead;

%-----
C1=470e-6; Rc1=10e-3; Lc1=1.5e-9;
C2=470e-6; Rc2=10e-3; Lc2=1.5e-9;
C3=470e-6; Rc3=10e-3; Lc3=1.5e-9;
C4=470e-6; Rc4=10e-3; Lc4=1.5e-9;
C5=470e-6; Rc5=10e-3; Lc5=1.5e-9;
C6=470e-6; Rc6=10e-3; Lc6=1.5e-9;
```

```

C7=47e-6; Rc7=2e-3; Lc7=0.8e-9;
C8=47e-6; Rc8=2e-3; Lc8=0.8e-9;
C9=47e-6; Rc9=2e-3; Lc9=0.8e-9;
C10=47e-6; Rc10=2e-3; Lc10=0.8e-9;

```

```

C11=22e-6; Rc11=2e-3; Lc11=0.8e-9;
C12=22e-6; Rc12=2e-3; Lc12=0.8e-9;
C13=22e-6; Rc13=2e-3; Lc13=0.8e-9;
C14=22e-6; Rc14=2e-3; Lc14=0.8e-9;

```

```

Zc1=Rc1+s*Lc1+1/(s*C1);
Zc2=Rc2+s*Lc2+1/(s*C2);
Zc3=Rc3+s*Lc3+1/(s*C3);
Zc4=Rc4+s*Lc4+1/(s*C4);
Zc5=Rc5+s*Lc5+1/(s*C5);
Zc6=Rc6+s*Lc6+1/(s*C6);
Zc7=Rc7+s*Lc7+1/(s*C7);
Zc8=Rc8+s*Lc8+1/(s*C8);
Zc9=Rc9+s*Lc9+1/(s*C9);
Zc10=Rc10+s*Lc10+1/(s*C10);
Zc11=Rc11+s*Lc11+1/(s*C11);
Zc12=Rc12+s*Lc12+1/(s*C12);
Zc13=Rc13+s*Lc13+1/(s*C13);
Zc14=Rc14+s*Lc14+1/(s*C14);

```

```

%-----
C=C1+C2+C3+C4+C5+C6+C7+C8+C9+C10+C11+C12+C13+C14;

ESR=1/((1/Rc1)+(1/Rc2)+(1/Rc3)+(1/Rc4)+(1/Rc5)+(1/Rc6)+(1/Rc7)+(1/Rc8)
+(1/Rc9)+(1/Rc10)+(1/Rc11)+(1/Rc12)+(1/Rc13)+(1/Rc14));

Zc=1/((1/Zc1)+(1/Zc2)+(1/Zc3)+(1/Zc4)+(1/Zc5)+(1/Zc6)+(1/Zc7)+(1/Zc8)+
(1/Zc9)+(1/Zc10)+(1/Zc11)+(1/Zc12)+(1/Zc13)+(1/Zc14));
R=DCR+(d*Rds1)+(1-d)*Rds2;
Zs=R+s*L;
Zeq=1/((1/Zc)+(1/RL)+(1/(R1+R2)));
Gvdscov=Vin*Zeq/(R+s*L+Zeq);
%-----
%Oc, power stage Q'su ile karşılaştırılabilir değerde olmalıdır.
Qc=1.4;
w0=sqrt((R+RL)/(L*C*(RL+ESR)));
f0=w0/(2*pi);
Q=1/(w0*(ESR*C+(L/(R+RL))+(R*RL*C/(R+RL))));
%faz ilerlemesini sağlamak için f0'ın biraz altında seçilir.
fz=5e3;
wz=2*pi*fz;
alpha=pi*fz/Qc;
beta=2*pi*fz*sqrt(1-(1/4*Qc^2));

wk=abs(((scov*wz^2)/((scov+alpha+j*beta)*(scov+alpha-
j*beta)))*(1/(Gvdscov)));

Gcla=(wk/s)*((s^2/wz^2)+(s/(Qc*wz))+1);
%Gcla=(wk/(s*wz^2))*(s+alpha+j*beta)*(s+alpha-j*beta);

k1=-2*exp(-alpha*tpwm)*cos(beta*tpwm);
k2=exp(-2*alpha*tpwm);

```

```
zcov=exp(scov*tpwm);  
Gcscov=abs((wk/(scov*wz^2))*(scov+alpha+j*beta)*(scov+alpha-j*beta));  
Kc=abs((zcov*(zcov-1))/(zcov^2+k1*zcov+k2))*Gcscov;
```

```
b0=Kc/(Kfdbk*Kdpwm);  
b1=Kc*(k1)/(Kfdbk*Kdpwm);  
b2=Kc*(k2)/(Kfdbk*Kdpwm);
```


KAYNAKLAR DİZİNİ

- Agrawal, J. P., 2001, Power Electronics Systems: Theory and Design, Prentice-Hall, Upper Saddle River, NJ.
- Bodur, H., 2004, Güç Elektroniği Endüstriyel Uygulamaları 1, YTÜ Ders Notları, YTÜ, İstanbul.
- Choudhury, S., 2007, Designing the Digital Compensator for a UCD91xx-Based Digital Power Supply, Texas Instrument, Application Report, SLUA416.
- Deng, H., 2005, Modeling and design of a monolithic high frequency synchronous buck with fast transient response, Doctor of Philosophy in Electrical Engineering, Virginia Polytechnic Institute and State University, Blacksburg, Virginia, 178 p.
- Dong, Y., 2009, Investigation of Multiphase Coupled-Inductor Buck Converters in Point-of-Load Applications, Doctor of Philosophy in Electrical Engineering, Virginia Polytechnic Institute and State University, Blacksburg, Virginia, 332 p.
- Erickson, R.W., 1997, Fundamentals of Power Electronic, New York, Chapman & Hall, Chapter3-9.
- Hagen, M., 2009, UCD9240 Compensation Cookbook, Texas Instrument, Application Report, SLUA497.
- Hegarty, T., 2007, Benefits of multiphasing buck converters, National Semiconductor , 15/Ekim/2009, <http://www.powerelectronics.com/>
- Kelly, S., 2005, Design of Voltage Regulator Module for Testing of Magnetic Components, B.E. Electronic Engineering Project, Report EE413, Department of Ireland, Galway.
- Lynch, B., and Hesse, K., 2006, Under the Hood of Low-Voltage DC/DC Converters, TI Power Seminar, Series 1500.

KAYNAKLAR DİZİNİ (devam ediyor)

- Maksimovic, D., Zane, R., and Erickson, R., 2004, Impact of Digital Control in Power Electronics, Proceeding of 2004 International Symposium on Power Semiconductor Devices&ICs, Kitakyushu, 13-22.
- Nguyen, H., 2004. Design, Analysis and Implementation of Multiphase Synchronous Buck DC-DC Converter for Transportable Processor, Master of Science In Electrical Engineering, Virginia Polytechnic Institute and State University, Blacksburg, Virginia, 90 p.
- Miftakhutdinov, R., 2001, Optimal design of interleaved synchronous buck converter at high slew-rate load current transients, Proc. of IEEE PESC, 1714-1718.
- Mohan, N., Undeland, T. M. and Robbins, W. P., 1995, Power Electronics: Converters, Applications and Design, New York.
- Patella, B. J., Prodic, A., Zirger, A. and Maksimovic, D., 2003, High-Frequency Digital PWM Controller IC for DC-DC Converters, IEEE Transactions On Power Electronics, Vol. 18, No. 1, 438-446.
- Prodic, A., Maksimovic, D., and Erickson, R., 2001, Design and implementation of a digital PWM controller for a high-frequency switching DC-DC power converter, in Proc. IEEE IECON Conf., 893-898.
- Schelle, D., Castorena, J., 2006, Buck-Converter Design Demystified, <http://www.powerelectronics.com/>
- Rashid, M. H., 2001. Power Electronics Handbook, University of West Florida, Pensacola, Florida, 895 p.
- Terlizzi, T., 2003, DC-DC converters for military and aerospace, Aeroflex Microelectronic Solutions Plainview, NY
- Texas Instrument, 2007, UCD9112 Digital Dual-Phase Synchronous Buck Controller Datasheet.

KAYNAKLAR DİZİNİ (devam ediyor)

Texas Instrument, 2007, Fusion Digital Power Designer User's Guide.

Yousefzadeh, V., Choudhury, S., 2008, Nonlinear Digital PID Controller for DC-DC Converters, IEEE APEC

Yüksel, Ö., 1999, Introduction to Feedback Systems, Chapter 9.

Wong, P. L., Xu, P., Yang, B., and Lee, F. C., 2001, Performance improvements of interleaving VRMs with coupling inductors, IEEE Trans. on Power Electronics, vol. 16, no. 4, pp. 499–507.